

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-251232
(P2002-251232A)

(43) 公開日 平成14年9月6日(2002.9.6)

(51) Int.Cl.⁷

識別記号

F I

デフォルト(参考)

G 0 6 F 1/32

G 0 6 F 1/00

3 3 2 Z 5 B 0 1 1

審査請求 未請求 請求項の数25 O L (全 20 頁)

(21) 出願番号 特願2001-49302(P2001-49302)

(22) 出願日 平成13年2月23日(2001.2.23)

(71) 出願人 000003108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 高橋 宜孝

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 齊藤 雅彦

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 100074631

弁理士 高田 幸彦 (外1名)

最終頁に続く

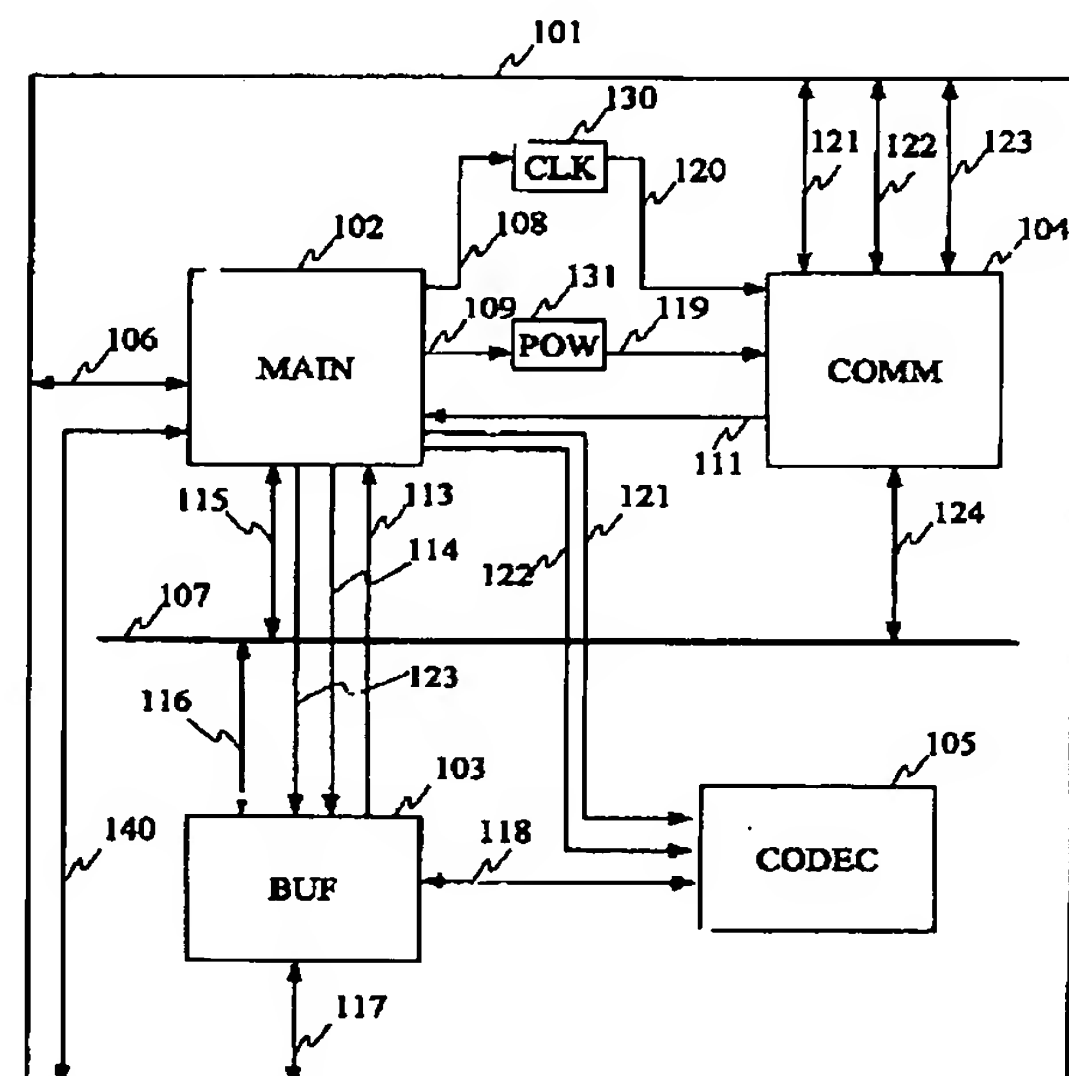
(54) 【発明の名称】 消費電力制御インタフェースを有する論理回路モジュール及び該モジュールを記憶した記憶媒体

(57) 【要約】

【課題】再利用可能な論理回路モジュール(IPコア)を複数組み合わせることによって構成するシステムLSIを作成する場合、その消費電力制御について、従来技術では十分な考慮がなされていない。システムLSIにおいて、特定の回路モジュールのみ電源電圧を変更し動作させる方法について開示されていない。

【解決手段】他IPコアの消費電力制御のインタフェースやレジスタなどのハードウェア資源を用意し、それらをソフトウェアで制御することにより、システムLSI化時の消費電力制御に対応する。また本発明では、IPコアレベルでの消費電力制御を可能とする。また、システムLSI構成時に、システムLSI設計者がシステムLSIの消費電力制御のための仕様入力を容易にする方法を提供する。

図1



【特許請求の範囲】

【請求項1】演算処理回路を内蔵する論理回路モジュールにおいて、
他の論理回路モジュールにより制御される消費電力制御機能及びインタフェースを有すること、を特徴とする論理回路モジュール。

【請求項2】演算処理回路を内蔵する論理回路モジュールにおいて、
他の論理回路モジュールに対する消費電力制御機能及びインタフェースを有すること、を特徴とする論理回路モジュール。

【請求項3】演算処理回路を内蔵する論理回路モジュールにおいて、
他の論理回路モジュールの消費電力制御用電源回路を内蔵していること、を特徴とする論理回路モジュール。

【請求項4】演算処理回路を内蔵する論理回路モジュールにおいて、
他の論理回路モジュールの消費電力制御用クロック生成回路を内蔵していること、を特徴とする論理回路モジュール。

【請求項5】演算処理回路を内蔵する論理回路モジュールにおいて、
消費電力制御のインタフェースを有し、
他の論理回路モジュールのための消費電力制御機能と、
他の論理回路モジュールのための電源回路と、
他の論理回路モジュールのためのクロック生成回路とを内蔵している、
ことを特徴とする論理回路モジュール。

【請求項6】請求項5の演算処理回路を内蔵する第一の論理回路モジュールであって、
前記消費電力制御のインタフェースとして、第二の論理回路モジュールから、該第二の論理回路モジュールの消費電力を増加または減少させる要求を受理するインタフェースを有すること、を特徴とする論理回路モジュール。

【請求項7】請求項5の演算処理回路を内蔵する第二の論理回路モジュールであって、
前記消費電力制御のインタフェースとして、第一の論理回路モジュールから、該第一の論理回路モジュールの消費電力を増加または減少させる要求を出力するためのインタフェースを有すること、を特徴とする論理回路モジュール。

【請求項8】請求項5の演算処理回路を内蔵する論理回路モジュールにおいて、
前記消費電力制御のインタフェースとして、電源出力のインタフェースを有すること、を特徴とする論理回路モジュール。

【請求項9】請求項5の演算処理回路を内蔵する論理回路モジュールにおいて、
前記消費電力制御のインタフェースとして、クロック信

号出力のインタフェースを有することを特徴とする論理回路モジュール。

【請求項10】演算処理回路を内蔵する第一の論理回路モジュールにおいて、
他論理回路モジュールからの消費電力要求を保存するための消費電力要求状態レジスタと、
他論理回路モジュールの消費電力を制御する消費電力制御レジスタとを有し、
前記演算処理回路は消費電力要求状態レジスタの値を定期的に監視し、
前記演算処理回路は前記消費電力要求状態レジスタの値により、消費電力制御レジスタの値を適切に設定し、
前記消費電力制御レジスタの設定により、適切なクロック信号および電源を他クロックに対して供給すること、
を特徴とする論理回路モジュール。

【請求項11】演算処理回路を内蔵する第一の論理回路モジュールにおいて、
他論理回路モジュールからの消費電力要求を保存するための消費電力要求状態レジスタと、
他論理回路モジュールの消費電力を制御する消費電力制御レジスタとを有し、
前記演算処理回路は消費電力要求状態レジスタの値を定期的に監視し、
前記演算処理回路は前記消費電力要求状態レジスタの値により、消費電力制御レジスタの値を適切に設定し、
前記消費電力制御レジスタの設定により、第一の論理回路モジュールの外部にあるクロック生成回路および電源を制御可能であること、を特徴とする論理回路モジュール。

【請求項12】論理回路モジュールにおいて、
前記論理回路モジュールは、自己の処理負荷を検出する負荷検出回路を有し、
前記論理回路モジュールは、前記負荷検出回路が生成した信号を前記論理回路モジュールの外部に出力すること、を特徴とする論理回路モジュール。

【請求項13】演算処理回路を内蔵する論理回路モジュールにおいて、
消費電力制御のインタフェースを有すること、を特徴とする論理回路モジュール、を記憶した記憶媒体。

【請求項14】演算処理回路を内蔵する論理回路モジュールにおいて、
他の論理回路モジュールのための消費電力制御機能を有すること、を特徴とする論理回路モジュール、を記憶した記憶媒体。

【請求項15】演算処理回路を内蔵する論理回路モジュールを記憶した記憶媒体において、
他の論理回路モジュールのための消費電力制御用電源回路を内蔵していること、を特徴とする論理回路モジュールを記憶した記憶媒体。

【請求項16】演算処理回路を内蔵する論理回路モジュール

ールを記憶した記憶媒体において、他の論理回路モジュールのための消費電力制御用クロック生成回路を内蔵していること、を特徴とする論理回路モジュールを記憶した記憶媒体。

【請求項17】演算処理回路を内蔵する論理回路モジュールを記憶した記憶媒体において、消費電力制御のインタフェースと、他の論理回路モジュールのための消費電力制御機能と、他の論理回路モジュールのための電源回路と、他の論理回路モジュールのためのクロック生成回路を内蔵していること、を特徴とする論理回路モジュール、を記憶した記憶媒体。

【請求項18】請求項5の演算処理回路を内蔵する第一の論理回路モジュールを記憶した記憶媒体において、前記消費電力制御のインタフェースとして、第二の論理回路モジュールから、第二の論理回路モジュールの消費電力を増加または減少させる要求を受理するインタフェースを有すること、を特徴とする第一の論理回路モジュールを記憶した記憶媒体。

【請求項19】論理回路モジュールを記憶した記憶媒体において、請求項6または7の前記要求を出力するためのインタフェースを有すること、を特徴とする論理回路モジュール、を記憶した記憶媒体。

【請求項20】請求項5の演算処理回路を内蔵する論理回路モジュールを記憶した記憶媒体において、前記消費電力制御のインタフェースとして、電源出力のインタフェースを有することを特徴とする論理回路モジュールを記憶した記憶媒体。

【請求項21】請求項5の演算処理回路を内蔵する論理回路モジュールを記憶した記憶媒体において、前記消費電力制御のインタフェースとして、クロック信号出力のインタフェースを有することを特徴とする論理回路モジュールを記憶した記憶媒体。

【請求項22】演算処理回路を内蔵する第一の論理回路モジュールを記憶した記憶媒体において、第二の論理回路モジュールからの消費電力要求を保存するための消費電力要求状態レジスタと、前記第二の論理回路モジュールの消費電力を制御する消費電力制御レジスタとを有し、前記演算処理回路は消費電力要求状態レジスタの値を定期的に監視し、前記演算処理回路は前記消費電力要求状態レジスタの値により、消費電力制御レジスタの値を適切に設定し、前記消費電力制御レジスタの設定により、適切なクロック信号および電源を他クロックに対して供給し、または、前記消費電力制御レジスタの設定により、第一の論理回路モジュールの外部にあるクロック生成回路および電源を制御可能であること、を特徴とする論理回路モジュール

を記憶した記憶媒体。

【請求項23】論理回路モジュールを記憶した記憶媒体において、

前記論理回路モジュールは、自己の処理負荷を検出する負荷検出回路を有し、

前記論理回路モジュールは、前記負荷検出回路が生成した信号を前記論理回路モジュールの外部に出力すること、を特徴とする論理回路モジュール、を記憶した記憶媒体。

【請求項24】論理回路モジュールを記憶した記憶媒体において、

前記論理回路モジュールは、自己の処理負荷を検出する負荷検出回路を有し、前記論理回路モジュールは、前記負荷検出回路が生成した信号を前記論理回路モジュールの外部に出力すること、を特徴とする論理回路モジュール、を記憶した記憶媒体。

【請求項25】少なくとも1つの消費電力制御インタフェースを有する論理回路モジュールを組合わせてシステムLSIを設計する方法において、

各論理回路モジュールの消費電力インタフェース同士を画面上で接続することにより消費電力制御インタフェースに関する仕様入力を可能とすることと、

前記仕様入力により電圧レベルシフトまたは同期化回路を自動的に論理回路に付加することと、を特徴とするシステムLSI設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路モジュールもしくは該モジュールを記憶した記憶媒体を有する半導体集積回路に関するものであり、更に詳細には自己以外の消費電力制御機能を有する半導体集積回路に関する。

【0002】

【従来の技術】従来、半導体集積回路においてその消費電力を減少させる方法として、特開平07-20968号公報記載の例がある。これは電圧と周波数を動的に変更することによってコンピュータの消費電力を減少させる方法について述べた公報で、電圧およびクロック速度の両方を動的に減少させることにより、コンピュータシステムにおける電力消費を減少させることを目的としている。

【0003】外部とのインタフェースを設けたものとしては、特開平06-202753号公報記載の「コンピュータシステム及びプロセッサのクロックを停止する方法」がある。これは論理回路の外部i/fとしてクロック制御信号入力を設けたものである。この外部i/fから入力する信号により、プロセッサが既知の状態にあることを保証しながら、プロセッサが現在実行している命令に関係なくCPUのクロックを任意の時に停止することが可能となっている。

【0004】また特開平2000-132263号公報に開示の「集積回路及びコンピュータシステム」では、個々の集積回路内の異なったモジュールにおいて、共通のモニタクロックを設け、能動的パワーダウン制御と受動的パワーダウン制御とを組合わせて、全体的電力消費を削減している。

【0005】

【発明が解決しようとする課題】しかしながら上記従来例では、再利用可能な論理回路モジュール（IPコア、IPとはIntellectual Propertyの略）を複数組み合わせることによって構成するシステムLSIを作成する場合について十分な考慮がなされていない。一般にIPコアを組合わせてシステムLSIを構成する場合、IPコア設計時には、同一システムLSI内にどのようなIPコア配置されるかは、定まっていない（図22）。また、上記従来例において、消費電力の制御のために電源電圧制御を行う技術について述べられているが、システムLSIにおいて、一部の回路モジュールのみ電源電圧を変更し動作させる方法について開示されていない。

【0006】本発明の目的は、システムLSI化時の消費電力制御に対応する論理回路モジュールもしくは該モジュールを記憶した記憶媒体を提供することにある。

【0007】本発明の他の目的は、IPコアレベルでの消費電力制御を可能とする論理回路モジュールもしくは該モジュールを記憶した記憶媒体を提供することにある。

【0008】本発明の他の目的は、システムLSI構成時に、システムLSI設計者がシステムLSIの消費電力制御のための仕様入力を容易にする方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の特徴は、演算処理回路を内蔵する論理回路モジュールにおいて、他の論理回路モジュールにより制御される消費電力制御機能及びインタフェースを有することにある。

【0010】本発明の他の特徴は、演算処理回路を内蔵する論理回路モジュールにおいて、他の論理回路モジュールに対する消費電力制御機能及びインタフェースを有することにある。

【0011】本発明では、他IPコアの消費電力制御のインタフェースやレジスタなどのハードウェア資源を用意し、それらをソフトウェアで制御することにより、システムLSI化時の消費電力制御に対応する。

【0012】また本発明では、IPコアレベルでの消費電力制御を可能とする。また、システムLSI構成時に、システムLSI設計者がシステムLSIの消費電力制御のための仕様入力を容易にする方法を提供する。

【0013】

【発明の実施の形態】以下、本発明の第一の実施例を図面を参照して詳細に説明する。まずはじめに、本発明を

適用したIPコアを用いてシステムLSIを設計する過程について述べ、次に本発明を適用したシステムLSIを用いたシステムの、全体の具体的構成について説明する。そして、システムの動作例について説明する。

【0014】図22に本実施例のシステムLSIとそれを構成するIPコアの関係の概要について示す。図22において、2201はシステムLSI、2202～2205はシステムLSIに配置されたコア、である。

【0015】システムLSI設計者は、設計しようとするシステムLSIの仕様から、どのようなコアが必要であるか選定する。そして、図22に示すように、コア提供者1～4より、コアの提供を受ける（購入する）。一般的には、システムLSI設計者がIPコアの提供を受ける方法は、設計情報を記憶させた記憶媒体により提供を受けるか、またはネットワーク経由で前記記憶媒体に保存されている情報と同等の情報の提供を受ける。通常、IPコア設計時には、どのようなシステムLSIに使用されるのかは決まっていない。そのため、この点を考慮していない従来技術を用いて、IPコアレベルで消費電力制御を行うシステムLSIを設計することは容易ではない。本発明では、IPコアに消費電力インタフェースを導入することにより、この問題を解決した。

【0016】図26は、システムLSI設計作業に用いるワークステーション・システムである。2604はディスプレイ装置、2603はワークステーション、2601はマウス、2602はキーボード、2605はネットワーク、である。前記ワークステーション2603上で実行されるシステムLSI設計ツール（ソフトウェア）の全体フローを図25に示す。

【0017】図25は、ワークステーション2603上で実行されるシステムLSI設計ツールの全体フローである。図25において、2501は設計ファイル入力処理、2502はコア仕様選択処理、2503はコア信号線接続処理、2504は設計ファイル出力処理、である。

【0018】設計ファイル入力処理2501は、コア提供者から受け取ったIPコアの情報を読み込む処理である。

【0019】コア仕様選択処理2502は、IPコアの消費電力制御に関する仕様についてグラフィカルなインタフェースにより指定する処理である。本処理については図20を用いて説明する（後述）。

【0020】コア信号線接続処理2503は、IPコア間の消費電力制御以外の一般の信号線の接続をグラフィカルなインタフェースにより作業者が作業し、その結果と、コア仕様選択処理2503によって決定された結果と、これら2つの結果を用いてIPコア間の信号線及び電源線の接続を行う。さらにその際、IPコア間の信号線接続の両端において、電源電圧に差異が発生する可能性がある場合には、レベルシフト回路（後述）を自動的に挿入する処理を行う。例えば図2における242、243がレベルシフト回路である。本実施例では、IPコア間の接続信号

線はすべて5Vの信号振幅で動作しているとする。また、各IPコア内部では状況に応じて、1.8Vまたは3.3Vの信号振幅にて動作しているとする。

【0021】設計ファイル出力処理2504は、2501～2503までの処理が終わった設計ファイルをファイルまたは記憶媒体に出力する処理である。ここで出力された設計ファイルは、システムLSI設計の次行程である、論理合成ツールによる処理の入力ファイルとなる。システムLSI設計の全行程が終了し、最終設計ファイルがシステムLSI製造行程に渡されると、半導体製造ラインでの製造作業の後、システムLSIのチップが得られる。

【0022】図20に、消費電力制御に関する仕様をグラフィカルなインタフェースによる操作により決定する様子を示す。図20において、2000はワークステーション表示画面、2001は主演算回路画像、2002は通信処理回路画像、2004はコーディング・デコーディング回路画像、2003はバッファ処理回路画像、2005は外部電源回路画像、2006は外部クロック生成回路画像、2017は消費電力制御レジスタ画像、2014は消費電力状態レジスタ画像、2015は電源出力画像、2016はクロック出力画像、2007、2009、2012は電源入力画像、2008、2010、2013はクロック入力画像、2011、2003は状態出力回路画像、2018～2021は消費電力制御インタフェース、2024～2033は接続画像、である。

【0023】システムLSI設計者は、主演算回路画像2001、通信処理回路画像2002、コーディング・デコーディング回路画像2004、バッファ処理回路画像2003、を表示画面2000に示す通りに配置する。

【0024】電源出力画像2015及びクロック出力画像2016に表示された”(2)狙、それぞれ出力が仕様として2本分あるという意味である。(同様に、消費電力制御レジスタ画像2017、消費電力状態レジスタ画像2014の”(6)狙、仕様として6本分のレジスタbitがあるということを示す。)ここでシステムLSI設計者は、主演算回路の電源出力とクロック出力により、バッファ処理回路とコーディングデコーディング処理回路を制御することと決めたとする。システムLSI設計者は、電源処理画像2015と電源入力画像2012、2009とを接続画像2031及び2028により接続する。また、システムLSI設計者は、クロック出力画像2016と、クロック入力2013、2010とを接続する。また、性能向上要求信号の接続として、状態出力回路画像2011、2003と、消費電力要求状態レジスタ2014とを接続する。次にシステムLSI設計者は、外部の電源とクロック生成回路を用意する。外部電源画像2005、外部クロック生成回路2006、とを画像内に配置し、消費電力制御レジスタ2017と外部電源回路画像2005、外部クロック生成回路2006とを接続する。また、システムLSI設計者は、接続画像2025及び接続画像2026により示される接続、さらに、接続画像2033により示される接続を行う。これらの作業により、消費電力制御イ

ンタフェース2018～2021の部においては、自動的に消費電力制御のための信号接続及び電源接続が生成される。

【0025】図21を用いて、自動的に生成された消費電力インタフェースである信号接続及び電源接続について説明する。図21(a)に、後述する図2の主演算回路についてのシステムLSI設計情報を示す。これはハードウェア記述言語により定義された情報である。

【0026】1行目は、主演算回路の名前がmainであることを示している。また、図2の信号線106についての記述sig106があることがわかる。2行目は、コメント文であり、設計情報としては意味はなく、ただ読みやすさのために出力されている行である。

【0027】3行目～6行目は、消費電力インタフェースとして、sig113、sig111、sig123、sig121、sig114、sig122の信号線が割り当てられていることが分かる。これが入力信号線なのか、あるいは出力信号線なのか、あるいは入出力信号線なのか、については、7行目から10行目の記述で指定している。

【0028】図21(b)に、後述する図2のバッファ処理回路についてのシステムLSI設計情報を示す。これはハードウェア記述言語により定義された情報である。

【0029】1行目は、主演算回路の名前がbufであることを示している。また、図3の信号線117についての記述sig117があることがわかる。2行目は、コメント文であり、設計情報としては意味はなく、ただ読みやすさのために出力されている行である。

【0030】3行目～6行目は、消費電力インタフェースとして、sig144、sig123、sig113、sig118の信号線が割り当てられていることが分かる。これが入力信号線なのか、あるいは出力信号線なのか、あるいは入出力信号線なのか、については、5～7行目の記述で指定している。図21(a)、(b)において、同一の信号名(例えばsig113など)は、mainとbufにおいてsig113と書いてある場所(ポート)が接続されていることを示している。

【0031】図7に、本発明を適用した情報処理回路の全体構成を示す。図7において、701はディスプレイ装置、702は第一の情報処理装置、703はキーボード、704はマウス、705はエレベータ装置、706は第二の情報処理装置、121から123はシリアル通信用の信号線、605はI/O用の信号線、610はネットワーク、である。

【0032】情報処理装置702は、キーボード703とマウス704から操作者の入力を受理し、信号線121、信号線122、信号線123より制御対象の各部位と通信を行い、信号線605経由でセンサ情報入力を受け付け、信号線605経由でエレベータに付属する表示器のための情報出力を行う。さらに情報処理回路702は、ネットワーク610経由で他の情報処理回路706と情報の授受を行い、ディスプレイ701に情報処理経過等を表示する。本発明の適用例として、エレベータの制御装置について示すが、エレベー

タ装置以外の制御対象であっても、同様に制御可能である。

【0033】図6に、本発明のシステムLSIを利用したボードを示す。本ボードは、図7の情報処理回路702に内蔵されている。図6において、601は情報処理ボード、602はリードオンリーメモリ（ROM）、603はランダムアクセスメモリ（RAM）、101は第一のシステムLSI、608は第二のシステムLSI、606はバス、610はネットワーク、である。

【0034】ROM602及びRAM603には、システムLSI 101、102に内蔵された演算装置のためのプログラムやデータが格納されおり、バス606経由で利用される。

【0035】システムLSI 101は、信号線117を経由して、エレベータ装置にある各種センサから情報を受け取り、また、信号線117に対してエレベータ装置内の表示装置のための制御情報を出力する。さらにシステムLSI 101は、ROM602やRAM603に格納されたプログラムやデータを利用し、RAM603に途中結果データを出力する。またシステムLSI 608と、信号線140を経由して消費電力制御情報の授受を行い、ボード全体の消費電力管理を行う。システムLSI 608はネットワーク接続機能を有するシステムLSIで、システムLSI 101と協調してエレベータ705の制御を行う。

【0036】図1に、本発明を用いたシステムLSIの構成例を示す。図1において、101はシステムLSI、102は主演算処理回路、103はバッファ処理回路、104は通信処理回路、105はコーディング・デコーディング（CODEC）処理回路、107はバス、130はクロック生成回路、131は電源回路である。

【0037】主演算処理回路102は、信号線106経由で、システムLSIに外付けのメモリと、命令アクセス及びデータアクセスを行い、信号線108にクロック周波数制御信号を出力し、信号線109に電源制御信号を出力する。信号線111から消費電力制御情報を受け取る。また主演算回路102は電源線123、122を経由して、バッファ処理回路103、CODEC処理回路105の電源供給を行い、信号線114、信号線121を経由して、バッファ処理回路103、CODEC処理回路105に、クロック信号を出力する。また主演算処理回路102は、信号線113からバッファ処理回路103の消費電力制御のための性能向上要求信号を受け取る。また主演算処理回路102は、信号線115とバス107を経由して、バッファ処理回路103、通信処理回路104、CODEC処理回路105と情報を交換し、演算処理を行う。

【0038】バッファ処理回路103は、信号線117から符号化データを受け取り、信号線118を通じて、CODEC処理回路105に符号化データを出力し、また、信号線118を通じて復号化データを受け取る。また、バッファ処理回路103は、信号線118を通じて符号化データを受け取り、信号線117に符号化データを出力する。

【0039】通信処理回路104は、3チャンネル分の信号線121、信号線122、信号線123から信号を受け取り、受信処理を行う。また信号線121、122、123へ信号を出力する送信処理を行う。

【0040】CODEC処理回路105は、信号線118を経由して符号化または復号化するためのデータの授受を行い、信号線121を通じて主演算回路102からクロック信号を受け取り、電源線122から電源の供給を受ける。

【0041】クロック生成回路130は、信号線108よりクロック周波数制御信号を受け取り、制御信号により指示された周波数のクロック信号を、信号線120に出力する。

【0042】電源回路131は、信号線109より電源制御信号を受け取り、制御信号により指示された電圧を生成し、電源を電源線119経由で通信処理回路に供給する。

【0043】通信処理回路104は、信号線121～123経由でエレベータの制御用装置と通信を行い、信号線120よりクロック信号を受け取り、電源線119より電源の供給を受け、信号線111に性能向上要求信号を出力し、信号線124を経由して通信データを他論理回路モジュールとやりとりする。

【0044】図2に、図1における主演算処理回路102の構成例を示す。図2において、201は中央演算装置（CPU）、202は消費電力制御レジスタ、230は消費電力要求状態レジスタ、203は電源回路、204はクロック生成回路、222～223、270は同期化回路、240～241は双方向電圧レベルシフタ、242～245は電圧レベルシフタ、260～262は消費電力制御インタフェース、265と266はバッファ、である。双方向レベルシフタについては図4(b)で説明する。レベルシフタについては、図17の説明のところで述べる。

【0045】CPU201は、レジスタ202へのアクセスを信号線215経由で行い、信号線263経由でチップ外部へのアクセスを行い、信号線260経由で、センサ情報、エレベータ装置への表示情報の授受を行う。CPU201は信号線210を経由してレジスタ230へのアクセスを行う。

【0046】消費電力制御レジスタ202は、信号線215を経由してレジスタセット信号またはレジスタリセット信号を受け取り、前記レジスタの値を変更する。消費電力制御レジスタ202には、システムLSI 101内の各モジュール（主演算回路102、バッファ回路103、通信処理回路104、CODEC処理回路105）の現在の動作状況が保存されている。

【0047】電源203は、信号線217より制御信号を受け取り、図示されていない電源線よりシステムLSI外部から電源の供給を受け、電圧変換を行い、電源線230、電源線123、電源線121に電源を出力する。この電源出力は1.8Vまたは3.3Vであるとする。一般に、ある論理回路の消費電力は、電源電圧の二乗に比例することが知られている。ある論理回路の電源電圧を下げると、

その論理回路の最高動作周波数は下がるが消費電力を減らすことができる。その電源線230に供給された電源により、主演算処理回路102(CPU201、レジスタ202など)が動作する。従来は電源203のような回路をIPコア内に配置するということはほとんど行われなかった。その主な理由は、電源を同一チップ上に形成することが技術的に困難だったからである。しかしながら、近年、電源を同一チップ上に形成することが可能となった。論理回路とともに電源も同一チップ上に形成できるならば、電源をIPコアに内蔵させることにより、電源についての取り扱いも、IPコア間を接続する信号線と統一的に取り扱うことが可能となるため、システムLSI設計者にとって、システムLSI設計作業が容易になる。なお、ここで述べた「電源」とは、「電圧変換回路」のことであり、例えばDC/DCコンバータや、VRM (Voltage Regulation Module) のようなものを指す。

【0048】クロック生成回路204は、信号線218より制御信号を受け取り、信号線231、信号線114、信号線122にクロック信号を出力する。クロック信号は、15MHzまたは90MHzであるとする。信号線231に供給されたクロック信号により、主演算回路102(CPU201、レジスタ202など)が動作する。一般に、ある論理回路の消費電力は、動作クロック周波数に比例することが知られている。ある論理回路のクロック周波数を下げると、その演算処理性能(動作スピード)は下がるが消費電力を減らすことができる。先に述べた電源電圧の制御と、クロック周波数の制御を組み合わせることで、消費電力(すなわち性能)の制御を効果的に行うことができる。

【0049】消費電力要求状態レジスタ230は、信号線220及び信号線221からセット要求及びリセット要求を受け取り、レジスタの値を変更する。レジスタ230には、システムLSI内の各モジュール(主演算回路102、バッファ回路103、通信処理回路104、CODEC処理回路105)からの消費電力(すなわち性能)の要求信号が保存されている。

【0050】同期化回路222、223は、主演算回路102のクロック信号すなわち信号線231によって供給されるクロック信号により、信号線113、111、115からの入力信号を同期化し、それぞれ信号線220、221、260に出力する。

【0051】消費電力制御インタフェース260～262は、これを経由して他コアの消費電力を制御し、システムLSI全体での消費電力制御を行うものである。

【0052】図3に、図1におけるバッファ処理回路103の構成図を示す。図3において、301、302、306、307はファースト・イン・ファースト・アウト(FIFO)バッファ、144はクロック信号線、123は電源線、330～334は電圧レベルシフタ、324はORゲート、351は双方向電圧レベルシフタ、340、341は消費電力制御インタフェース、である。

【0053】FIFOバッファ306は、信号線317より受け取ったデータをFIFOバッファリング処理をした後、信号線315にデータを出力する。またFIFOバッファ306は信号線322に「バッファにデータが存在する」ことを示すビジー信号を出力する。信号1がビジーを示す。

【0054】FIFOバッファ301は、信号線312より受け取ったデータをFIFOバッファリング処理し、信号線116へ出力する。またFIFOバッファ301は信号線320に「バッファにデータが存在する」ことを示すビジー信号を出力する。信号1がビジーを示す。

【0055】FIFOバッファ302は、信号線116からのデータを受け取り、FIFOバッファリング処理を行い、信号線313にデータを出力する。またFIFOバッファ302は信号線321に「バッファにデータが存在する」ことを示すビジー信号を出力する。信号1がビジーを示す。

【0056】FIFOバッファ307は、信号線312よりデータを受け取り、FIFOバッファリング処理を行い、信号線318にデータを出力する。またFIFOバッファ307は信号線323に「バッファにデータが存在する」ことを示すビジー信号を出力する。信号1がビジーを示す。

【0057】レベルシフタ330は、入力信号の振幅を出力側電圧レベルまで引き上げて信号を出力側に出力する。ORゲート350は、FIFOバッファからのビジー信号を受け、信号線113に対して、消費電力要求信号を出力する。

【0058】消費電力制御インタフェース340より、主演算回路102から、クロック信号と電源の供給を受ける。消費電力制御インタフェース341より、主演算回路102に対して、消費電力要求信号を出力する。

【0059】図4に、図1における通信処理回路104の構成図を示す。図4において、401は中央演算回路(CPU)、402はリードオンリーメモリ(ROM)、403はランダムアクセスメモリ(RAM)、404から406は通信回路、423は負荷判定回路、433及び434はレベルシフタ、460、450～452は双方向レベルシフタ、470は消費電力制御インタフェース、119は電源線、120はクロック信号線、である。

【0060】CPU401は、ROM402およびRAM403へアクセスを行い、プログラムの読み込み及びデータの読み書きを行い、情報処理を行う。CPU401は、信号線481を通じて、負荷判定回路内の条件設定のためのレジスタに書き込みをし、条件設定を行うことが可能である。

【0061】通信回路404は、信号線121を経由して、エレベータ装置のマイコンから情報を受け取る。通信回路405、通信回路405についても、通信回路404と同様である。

【0062】負荷判定回路423は、信号線420、信号線42

1、信号線422から情報を受け取り、通信処理回路104全体の負荷状況について判定し、判定結果を性能向上要求信号として、信号線443に出力する。具体的には、信号線430、431、432の3つのチャンネルすべて同時に受信または送信の動作を行う場合に、負荷高と判定し、信号線443に1を出力し、それ以外は0を出力する。負荷判定回路が負荷高と判定する条件は変更可能であり、負荷判定回路内にあるレジスタで、その判定条件（チャンネル数）を設定する。

【0063】図4(b)に、双方向レベルシフタ460の構成図を示す。470、471はバッファ、472はレベルシフタである。信号線473から入力された信号は、バッファ471とレベルシフタ472を経由し、信号振幅を出力側（図4(a)の信号線124側）のレベルにアップさせて出力する。本実施例では、入力側は1.8Vまたは3.3V、出力側は5Vであるとしている。本明細書の双方向レベルシフタは、すべて図4(b)に示したものと同様の構成である。

【0064】図5に、図1におけるCODEC処理回路105の構成図を示す。図5において、502はコーディング処理回路、508はデコーディング処理回路、121はクロック信号線、122は電源線、510と511はバッファ、520は消費電力制御インタフェース、である。

【0065】コーディング処理回路502は、信号線501から符号化前データを受け取り、信号線512に符号化データを出力する。デコーディング処理回路508は、信号線505から復号化前データを受け取り、信号線506に復号化データを出力する。本実施例では、符号として誤り訂正符号を用いることを想定している。なお、CODEC処理回路105は、バッファ処理回路103と同じ電圧で動作するため、信号線にレベルシフタ回路は必要ない。

【0066】図14に、消費電力要求状態レジスタ230の構成図を示す。図14において、1401は6bitのレジスタ、1403は定数出力回路、である。レジスタ1401は、6bitのレジスタであり、各bitは信号入力によりセット及びリセットが可能なフリップフロップにより構成されている。それぞれのbitは、システムLSI内のコアの性能向上要求を記憶するためのbitである。1が性能向上要求ありで、0が性能向上要求なし、である。

【0067】定数出力回路1403は、0を出力しつづけ、レジスタ1401のbit2からbit5に0を供給しつづける。図14(a)では、bit2からbit5までが使用されていない。使用されないbitに0を供給しつづける定数回路と、その定数回路出力のレジスタ入力への接続は、コア仕様選択処理2502のところで、入力仕様から自動的に生成されたものである。定数回路を自動的に生成するかわりに、図14(b)のように、使用しないレジスタを削除した回路を生成する、という方法も考えられる。

【0068】図15に、消費電力制御レジスタ202の構成図を示す。図15(a)において、1501は6bitのレジスタ、1503と1504、1510～1513はタイミング調整回路、で

ある。

【0069】レジスタ1501は、6bitのレジスタである、各bitは信号入力によりセット及びリセットが可能なフリップフロップにより構成されている。それぞれのbitは、システムLSI内のコア動作状況を記憶するためのbitである。1が消費電力大（高性能）モードで動作中、0が消費電力小（低性能）モードで動作中、である。本実施例では、bit0はバッファ処理回路103、bit1は通信処理回路104、のためのbitである。図15(a)では、bit2からbit5までが使用されていない。よって、タイミング調整回路1510～1513も使用されていない。

【0070】タイミング調整回路1503の動作について、図19を参照して説明する。信号線1505の信号が図に示すように0から1に立ち上がると(1)、信号線217がほぼ同時に0から1に立ち上がり、信号線218はクロック周期で数クロック程度遅れて立ち上がる(2)。また、信号線1505の信号が図に示すように1から0に立ち下がると(3)、信号線218がほぼ同時に1から0に立ち下がり、信号線217はクロック周期で数クロック程度遅れて立ち下がる(4)。高いクロック周波数で動作するためには、より高い電源電圧が必要であるため、電源の制御とクロック周波数の制御はこのタイミングで行っている。

【0071】図17に、図2における電圧レベルシフタ回路241の構成例を示す。入力信号としてHighが(1)から入力されると、(2)はLowとなり、(3)において右から左に電流が流れ、(5)がオン、(6)がオフとなり、信号出力側(7)もHighとなる。一方、入力信号としてLowが(1)から入力されると、(2)はHighとなり、(3)はオフし、(5)はオフ、(6)はオンとなり、信号出力側(7)もLowとなる。

【0072】信号入力側よりも信号出力側の動作電圧が高い場合には(図27(a))、図17に示すようなレベルシフタ回路が必要となる(図27(b))。図27(b)において、2704は入力側電源線、2708は入力側信号線、2706は出力側電源線、2709は出力側信号線、である。一方、電圧の関係が逆の場合には、図17(1)手前最終段の回路（図示せず）の論理閾値を図17(2)の先（図示せず）の論理閾値を一致させ、図17(2)の先の入力耐圧を図17(1)手前側以上に定めれば、電圧レベルシフタ回路は不要である(図27(c))。

【0073】また、電圧レベルシフタ回路241以外の本実施例で述べた電圧レベルシフタについても同様である。なお、本実施例では、入力側電源入力（1.8Vまたは3.3V）、出力側電源入力（5V）について図示を省略している。図2について、出力側電源入力を省略せずに表記したものを、図16に示す。図16において、2810、2811、2801、2802、2805が出力側電源入力である。入力側電源入力は電源線230により供給されているとする。なお、双方向電圧レベルシフタの動作については、図4(b)で説明した通りである。

【 0 0 7 4 】図 1 8 に、同期化回路 222 の構成図を示す。図 1 8 において、1802、1803 はフリップフロップ、1805 はコア内部側クロック信号線である。

【 0 0 7 5 】同期化回路 222 は、コア外部信号（他コアからの出力信号）側のクロックに同期して変化する信号を信号線 1801 経由で受け取り、フリップフロップ 2 段を経由して、信号線 1804 に出力することにより、同期化を行っている。フリップフロップ 1802 の入力信号は他コアのクロック信号に同期して変化する信号であるため、コア内部クロック信号の変化とほぼ同時に信号線 1801 の信号が変化する可能性がある。その場合、フリップフロップ 1802 の出力信号が確定するまでに通常より長い時間（ただし出力側クロックの 1 クロック未満）がかかることが知られている。そのため、フリップフロップ 1802 の信号をそのまま他論理回路で利用した場合、フリップフロップ間のディレイ値が容易に（出力側）クロック周期を超えてしまい、一般にフリップフロップ間を 1 クロック内のディレイ値とする同期式回路の制限に違反する。そこで、フリップフロップ 1802 の信号は、すぐにフリップフロップ 1803 で受けることにより、同期化を行う。

【 0 0 7 6 】本実施例のように、例えば主演算回路 102 がバッファ制御回路 103 のクロック信号を供給する場合には、バッファ制御回路 103 のクロック信号を主演算回路 102 が制御可能であり、図 1 8 に示したような同期回路がいらないよう、そのクロック信号の制御を行うことも考えられる。

【 0 0 7 7 】次に図 8 と図 9 を参照して、システムの動作例について説明する。図 8 は、システムの第一の動作例で、信号線 117 経由でデータ受信動作を行った場合の動作を示すタイミングチャートである。

【 0 0 7 8 】まず、データ受信動作のうち、データ受信開始時について説明する。図 8 の (1) のタイミングからバッファ回路 103 にデータが受信されはじめる。F I F O 306 に受信データが溜まり始めると、信号線 322 が信号 0 から信号 1 に変更する。信号線 320 ～ 323 の初期値は 0 であり、いま信号線 322 が信号 1 となったので、信号線 113 が 0 から 1 に変化する。これが主演算処理回路 102 への消費電力を増やす要求（性能向上の要求）信号となる。主演算処理回路 102 は信号線 113 の 0 から 1 への信号変化受理すると、レジスタ 230 のビット 0 に 1 がセットされる（図 8 の (2)）。ビット 0 はバッファ処理回路用、ビット 1 は通信処理回路用のビットである。この割り当ては、信号線 113 がビット 0 に、信号線 111 がビット 1 に、接続されているということによりなされており、CPU 201 で実行されるソフトウェアによりその割り当てが認識されている。レジスタ 230 のビット 0、すなわちレジスタ 1401 のビット 0 に、1 がセットされると、CPU 201 で実行されているソフトウェアは、定期的にレジスタ 230 の値をリードしており、バッファ処理回路 103 からの性能向上要求を認識する。CPU 201 は、バッファ処理回路 103 からの性能向上要

求を認識すると、レジスタ 202 のバッファ処理回路 103 の性能向上設定レジスタに 1 を設定する。レジスタ 202 においてバッファ処理回路 103 の性能向上設定レジスタが 0 から 1 に変化すると、性能指示回路 1503 から動作電圧及び動作周波数の変更要求が電源回路 203 とクロック生成回路 204 に出力される。消費電力を増やす場合（性能向上を行う場合）、電源電圧をあげ、その後にクロック周波数をあげる（図 8 の (3)）。また、バッファ処理回路 103 についても、同様に電源電圧とクロック周波数があがる（図 8 の (3)'）。これは、本システム LSI の構成から、バッファ処理回路 103 で受信したデータによりバッファ処理回路 103 の性能向上が必要であるからである。これはシステム LSI のソフトウェア開発時に、バッファ処理回路 103 の動作性能向上時には、CODEC 回路 105 の性能向上も行うように、ソフトウェアを作成する。

【 0 0 7 9 】また、両者の回路において動作速度の違いによる不具合が発生しないよう、主演算処理回路 101 で動作するソフトウェアが、例えば、動作が速い側から遅い側へアクセスを行う場合には、動作にウェイトを挿入するなどの適切な処理を行っている。

【 0 0 8 0 】次に、データ受信動作のうち、データ受信終了時について説明する。図 8 の (4) のタイミングで、バッファ回路 103 のデータ受信が終了したとする。その場合、F I F O 306 の受信データは空となり、信号線 322 の信号 1 が信号 0 に変化し、ここで F I F O 301 も空であれば、信号線 113 の性能向上要求が取り下げられ、そうでない場合には、F I F O 301 が空になった時点で前記性能向上要求が取り下げられる。前記性能向上要求信号が取り下げられると、レジスタ 230 のビット 0 がリセットされ、バッファ処理回路 103 に供給されるクロック周波数が低くなり、電源電圧も低くなる。CODEC 処理回路 105 についても同様である。一般に、クロック生成回路において、クロック信号を変化させる場合には、変化後のクロック信号が出力されるまでに、ある短い一定時間の猶予が必要であり、本実施例ではその間のシステムの動作は安定に停止しているとする。

【 0 0 8 1 】次に図 9 を参照して、第二の動作例である、信号線 1021 ～ 1023 経由で通信処理回路 109 がデータを受信したときの動作例について説明する。まず、データ受信動作のうち、データ受信開始時について説明する。

【 0 0 8 2 】図 9 の (1)-1 のタイミングから通信処理回路 104 にデータが受信されはじめる。(1)-1 のタイミング、(1)-2 のタイミング、(1)-3 のタイミングで、それぞれ信号線 1021、信号線 1022、信号線 1023 からデータが受信されはじめている。このとき、通信回路 404、通信回路 405、通信回路 406 の動作がそれぞれ開始される。前記 3 つの通信回路で受信されたデータは、CPU 401 によってデータ種別の判定や必要な情報処理が施され、制御対象であるエレベータシステムにとって重要な情報は主

演算回路の102へデータが伝えられる。ここで、CPU401の処理性能上、低消費電力の動作モードでは、通信回路2つ分までの同時処理が可能であり、通信回路3つ分の処理は高性能処理モードでのみ可能である。よって、(1)-3のタイミングで、負荷判定回路423が高負荷であることを判定し、信号線111に信号1を出力する。主演算回路102は信号線111から信号1により、レジスタ230内の通信処理回路のためのレジスタビットbit1に1がセットされる。CPU201で実行されているソフトウェアにより、通信処理回路104の消費電力を増やしたい（性能向上させたい）という要求を認識し、レジスタ202の通信処理回路のためのビットに1を設定する。その結果、信号線109の信号が0から1に変化し、その後、信号線108の信号が0から1に変化する。信号線109は通信処理回路104の動作電圧を指示し、信号線108は通信処理回路104の動作周波数を指示する。主演算処理回路102は、信号線111の0から1への信号変化を認識すると、レジスタ202の通信処理回路のbitを1に設定する。これによりタイミング調整回路1504から動作電圧及び動作周波数の変更要求が電源回路131とクロック生成回路130に出力される。消費電力を増やす場合（性能向上を行う場合）、電源電圧をあげ、その後にクロック周波数をあげる（図9の(3)）。

【0083】次に、データ受信動作のうち、データ受信終了時について説明する。図9の(4)-1のタイミングでch1が、(4)-2のタイミングでch2が、(4)-3のタイミングでch3が、受信終了したとする。その場合、通信処理回路404、通信処理回路405、通信処理回路406の処理負荷がなくなる。通信処理回路404の処理負荷がなくなった時点で、負荷判定回路423は、信号線111への出力信号を0にする。これは通信処理回路104の性能向上要求が取り下げられたことを意味する。前記性能向上要求信号が取り下げられると、CPU401がそれぞれ認識し(5)レジスタ230のbit1がリセットされ、通信処理回路104に供給されるクロック周波数が低くなり、電源電圧も低くなる(6)。以上が本発明の第一の実施例についての説明である。

【0084】次に本発明の第二の実施例について、図10～13及び図23、24を参照して説明する。図23は、本発明の適用例であるシステムが使用される様子を示している。2300は、システムインパッケージ・チップ（SIP）、2301はパッケージ内のシステムチップ、2302はRF（Radio Frequency）モジュール、2303は携帯端末、2304は携帯端末のための基地局、2307、2308は消費電力制御インタフェース、2305は消費電力制御のための信号線、2306はRFモジュール制御のための信号線、2309はバッテリー、2308はバッテリー制御のための信号線、2310は中央サーバ、である。

【0085】SIP2300は、システムチップ2301とRFモジュール2302からなる。SIP2300は、システム携帯端末2303に内蔵されている。システムチップ2301は、主

演算回路やバッテリー監視回路、バッファ処理回路、コーディング・デコーディング回路からなる。

【0086】RFモジュール2302は、携帯端末2303の無線通信に関する回路を含んでおり、信号線2305と信号線2306によりシステムチップ2301によって制御される。

【0087】携帯端末2303は、表示画面1つ及び入力ボタンを複数個、さらに図示はしていないが、音声入出力手段を備えており、基地局2304の仲介により他の携帯端末や携帯電話機、一般の固定式電話機と通話する機能がある。また携帯端末2303は、基地局2303を経由してサーバから動画像情報や音声情報の配信を受けることが可能である。また携帯端末2303は、バッテリー切れにより電源断する直前に、「バッテリー切れ信号」を基地局2304に送信する機能がある。

【0088】基地局2304は、携帯端末の他端末や他電話機との通話機能をサポートし、携帯端末への情報配信を行う機能がある。また、基地局2304は、携帯端末2303が送信する「バッテリー切れ信号」を受信し、それを中央サーバ2310へ伝達する機能がある。

【0089】中央サーバ2310は、基地局同士を接続する役目を果たすほか、携帯端末2303から届いたバッテリー切れ信号を受信した後に、前記携帯端末2303への通話接続要求が来て、かつ、前記携帯端末2303との通信が確立できなかった場合に、「おかけになった電話は、現在バッテリー切れの可能性があります」というバッテリー切れアナウンスを通話接続要求者へ流す機能がある。

【0090】図10は、システムチップ2301の構成図である。図10において、1050はメモリ、1002は主演算回路、1004はバッテリー監視回路、1003はバッファ処理回路、1005はコーディング・デコーディング（CODEC）回路、1051は消費電力制御インタフェース、である。

【0091】主演算回路1002は、メモリへプログラムアクセスまたはデータアクセスを行い、処理を進め、信号線1015を経由して、バッファ処理回路1003と情報の授受を行う。また主演算回路1002は、信号線1010を経由してバッテリーの残容量状態の情報を受け取り、信号線1011を経由して、バッファ処理回路1003、CODEC処理回路1005に対して、強制低消費電力モードの指示を出す。このモードは、バッテリーの残量が少ないときの動作モードである。また主演算回路1002は、信号線2306を通じてRFモジュール2302の制御を行う。

【0092】バッテリー監視装置1004は、信号線1010にバッテリー残容量情報を出力し、電源線2305を通じてバッテリーの電圧監視を行い、バッテリー残容量を計算する。

【0093】CODEC処理回路1005は、バッファ処理回路1003で受け取ったデータの復号化及び符号化を行う。

【0094】バッファ処理回路1003は、信号線2306を通じてRFモジュールが受信したデータを受け取り、また

主演算回路1002が出力したデータを信号線1015を通じて受け取る。

【0095】図11は、主演算回路1002の構成図である。図11において、1101は中央演算処理ユニット（CPU）、1102はレジスタ、1103は電源、1104はクロック生成回路、1106と1121は双方向レベルシフタである。CPU1101は、信号線2306を通じてRFモジュール2302を制御し、また、メモリ1050を利用して携帯端末2303全体の制御を行う。

【0096】レジスタ1102は、3 bitのフリップフロップからなるレジスタで、信号線1115経由のCPUからの指示によりフリップフロップに保持する値をセットまたはリセットし、電源1103やクロック生成回路1104を制御するための信号を生成し、また、信号線1011に対して信号を出力する。

【0097】電源1103は、主演算回路1002内の各回路に電源を供給する。電源1103は、信号線1117の指示により、3.3V出力と1.8V出力とを切り替えて出力できる。クロック生成回路1104は、主演算回路1002内のクロックが必要な各回路にクロック信号を供給する。クロック生成回路1104は、信号線1118の指示により、周波数15MHzと90MHzのクロック信号を出力することが可能である。

【0098】双方向レベルシフタ1106は、主演算回路外部の電圧（5V）と、主演算回路内部の電圧（3.3Vまたは1.8V）とにおいて、信号の振幅変換を行う。

【0099】図12は、バッファ処理回路1003の構成図である。図12において、1230はレベルシフタ、1201、1202、1206、1207はファーストイン・ファーストアウト（FIFO）バッファ、1224はORゲート、1240は電源、1241はクロック生成回路、である。

【0100】FIFOバッファ1201、1202、1206、1207は、通信により受信したデータを複合化し、主演算回路1101へ送る際や、主演算回路1101から来たデータを符号化する際に用いられる。また各FIFOバッファは、それぞれ信号線1220、1221、1222、1223に対して、ビジー信号を出力する。

【0101】ORゲートは、信号線から入力されたデータのOR（論理和）をとり、信号線1213に結果を出力する。

【0102】電源1240は、バッファ処理回路1003内の各回路に電源を供給する。また、電源1240は、信号線1213から、性能向上要求信号を受信し、この信号が1のときに、電源電圧をアップ（1.8V→3.3V）する。ただし、信号線1011からの入力信号が1の際には、強制低消費電力モードであるとして、前記電源電圧アップ動作は行わない。

【0103】クロック生成回路1241は、バッファ処理回路1003内のクロックが必要な各回路にクロック信号を供給する。また、クロック生成回路1241は、信号線1213か

ら、性能向上要求信号を受信し、この信号が1のときに、クロック周波数をアップ（15MHz→90MHz）させる。ただし、信号線1011からの入力信号が1の際には、強制低消費電力モードであるとして、前記クロック周波数アップ動作は行わない。

【0104】図13は、CODEC処理回路1005の構成図である。図13において、1302はコーディング処理回路、1308はデコーディング処理回路、1308は負荷判定回路、1307は電源、1308はクロック生成回路、1320は消費電力制御インタフェース、である。

【0105】コーディング処理回路1302は、送信するデータの符号化処理を行う。デコーディング処理回路1308は、受信したデータの復号化処理を行う。

【0106】負荷判定回路1308は、コーディング処理回路1302とデコーディング処理回路1308の負荷の大きさについて判定し、負荷大の場合には、電源1307とクロック生成回路1308に対して性能向上の指示を出す。

【0107】電源1307は、CODEC処理回路1005内部に電源を供給し、負荷判定回路1308から性能向上の指示があった場合には、電源電圧をアップ（1.8V→3.3V）する。ただし、信号線1011からの入力信号が1の際には、強制低消費電力モードであるとして、前記電源電圧アップ動作は行わない。クロック生成回路1308は、CODEC処理回路1005内部にクロック信号を供給し、負荷判定回路1308から性能向上の指示があった場合には、クロック周波数をアップ（15MHz→90MHz）する。ただし、信号線1011からの入力信号が1の際には、強制低消費電力モードであるとして、前記クロック周波数アップ動作は行わない。

【0108】図24を用いて、第二の実施例のSIP2300内の演算処理装置において動作するソフトウェアについて説明する。図24は、携帯端末2303で動作する5つの処理を優先度順に示したものである。

【0109】通信制御処理2401は、RFモジュールが受信したデータをデコーディングしたり、または携帯端末が送信するデータをコーディングする処理である。ボタン入力受理処理2402は、携帯端末2303のボタンを操作者が押した際、それに対するレスポンス処理である。

【0110】音声入出力処理2403は、携帯端末2303において、携帯電話機としての機能を実現する処理であり、また、受信した音声データを携帯端末の音声出力デバイスから出力する処理である。

【0111】動画再生処理2403は、携帯端末2303が受信した動画データデータを携帯端末の表示デバイスにて再生する処理である。音声コマンド入力処理2405は、携帯端末2303に内蔵するマイクを経由して、操作者が入力した音声によるコマンドを解釈し実行する処理である。音声コマンドにより、ボタン入力と同等の操作が可能である。

【0112】これらの処理には、図24に示す通り、優

先順位が決まっている。「バッテリー残量十分」である場合には、図24のすべての処理が実行される。しかし、「バッテリー残量少」の場合には、通信制御処理2401、ボタン入力処理2402、音声入出力処理2403のみが実行される。

【0113】本実施例では、バッテリー状態について、「バッテリー残量十分」「バッテリー残量少」の2通りについてのみであるとした。しかしながらバッテリー状態について前記2通り以外の中間状態について把握するようなバッテリー監視回路を導入することにより、先にのべたソフトウェアの優先順に、どの処理を優先させるかの判定をより柔軟に行うことが可能である。

【0114】以上、第一の実施例と第二の実施例について説明した。第一の実施例は、システムLSI内部にマスターとなるモジュールがあり、それが他モジュールの消費電力と性能を制御する方式である。第二の実施例は、システムLSI内部の各モジュールが電源とクロック発生回路を持ち、各モジュールが独立して、消費電力と性能を制御する方式である。前者は、基本的にマスターとなるモジュール以外には電源とクロック発生回路は不要であり、マスター以外のモジュール（IP）設計工数が少なく済む、あるいはシステムLSIを設計する際に、電源線と信号線をほぼ同等に扱うことができ、システムLSIの設計工数が少なくなるというメリットがある。後者は、各モジュール内において消費電力と性能の制御を行うため、各IPコアの設計者があらかじめそのコアに特化した低消費電力方法を検討でき実装できる他、消費電力制御のためにIPコア間でやりとりすべき信号の本数が第一の実施例よりも少なくなる、というメリットがある。

【0115】

【発明の効果】以上本発明によれば、他IPコアの消費電力制御のインタフェースやレジスタなどのハードウェア資源を用意し、それらをソフトウェアで制御することにより、システムLSI化時の消費電力制御に対応する。また、電圧を変更する回路モジュールのインタフェースに電圧シフト回路を備えていることにより、一部の回路モジュールのみ電源電圧を変更して動作させることを可能とする。

【図面の簡単な説明】

【図1】 本発明の第一の実施例のシステムLSIの構成図である。

【図2】 図1における主演算回路の構成図である。

【図3】 図1におけるバッファ処理回路の構成図である。

【図4】 図1における通信処理回路の構成図である。

【図5】 図1におけるコーディング・デコーディング処理回路の構成図である。

【図6】 本発明の第一の実施例のボードへの適用例である。

【図7】 本発明の第一の実施例の情報処理回路の全体構成である。

【図8】 システムの第一の動作例である。

【図9】 システムの第二の動作例である。

【図10】 本発明の第二の実施例のシステムLSIである。

【図11】 図10における主演算回路の構成図である。

【図12】 図10における通信処理回路の構成図である。

【図13】 図10におけるバッファ処理回路の構成図である。

【図14】 図2におけるレジスタ230の構成図である。

【図15】 図2におけるレジスタ202の構成図である。

【図16】 図2において、出力側電源入力を省略しない図である。

【図17】 図2における電圧レベルシフタの構成図である。

【図18】 図18は、図2における同期化回路の構成図である。

【図19】 タイミング調整回路1503の動作を示す図である。

【図20】 システムLSI設計ツールを操作する様子を説明する図である。

【図21】 自動生成された消費電力インタフェースである信号接続及び電源接続について説明する図である。

【図22】 本実施例のシステムLSIとそれを構成するIPコアの関係図である。

【図23】 本発明の第二の実施例であるシステムが使用される様子を示している図である。

【図24】 第二の実施例のSIP2300内の演算処理装置において動作するソフトウェアについて説明する図である。

【図25】 システムLSI設計ツールの全体フローである。

【図26】 システムLSI設計作業に用いるワークステーション・システムである。

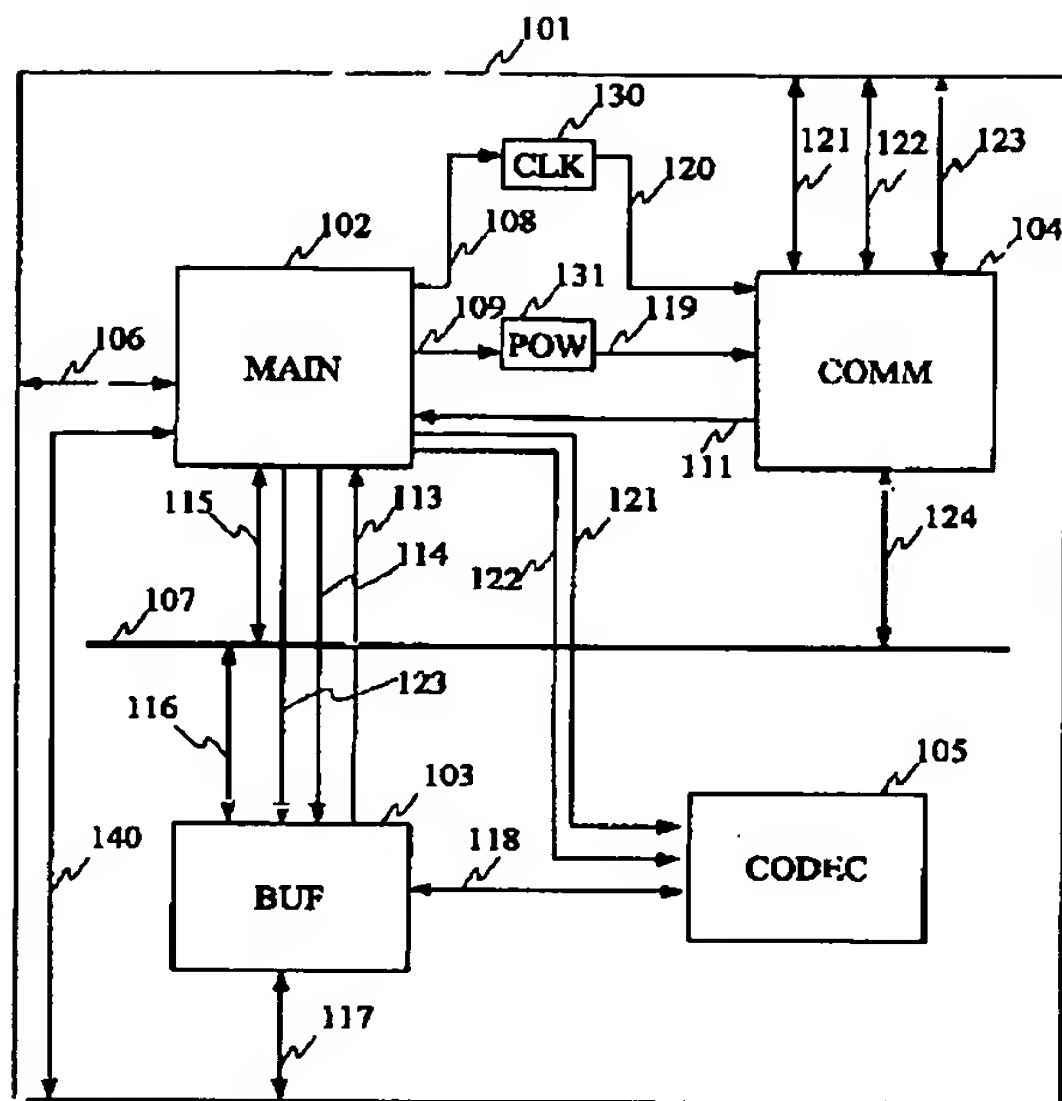
【図27】 電圧レベルシフタが必要な場合について説明する図である。

【符号の説明】

101…システムLSI、102…主演算回路、103…バッファ処理回路、104…通信処理回路、105…コーディング・デコーディング処理回路、203…電源回路、204…クロック生成回路、241～246…レベルシフタ。

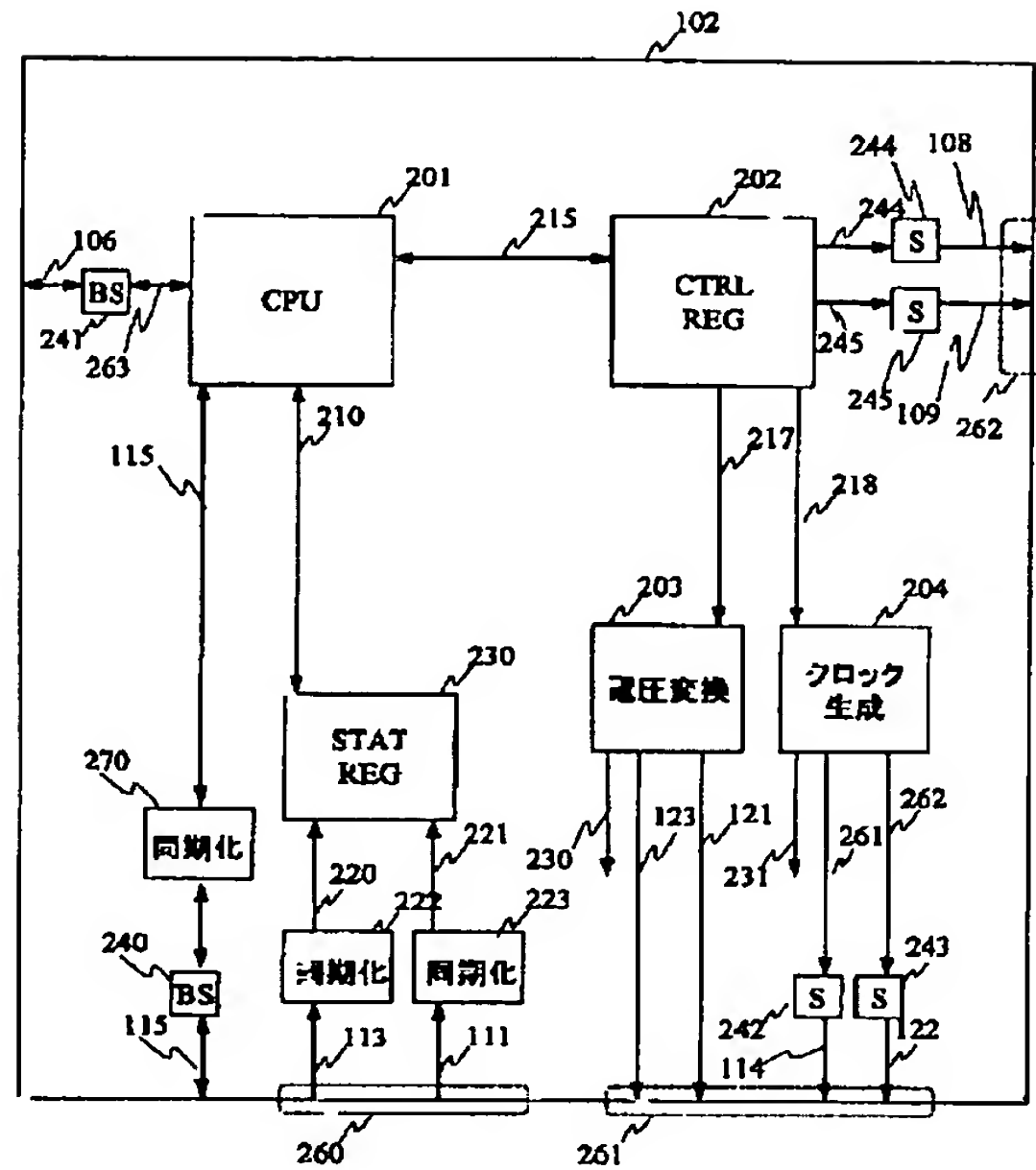
【図1】

图 1



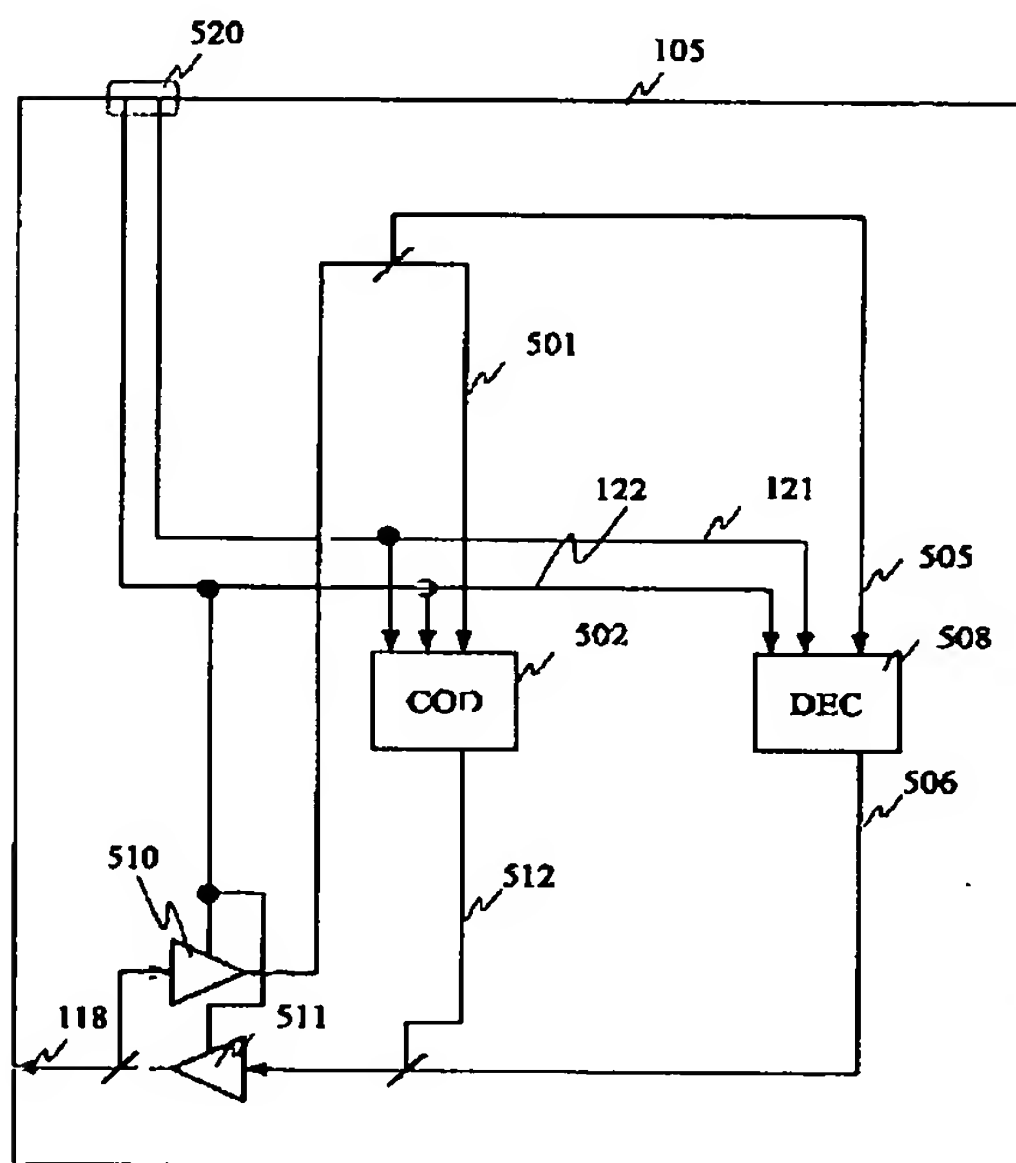
【図2】

图2



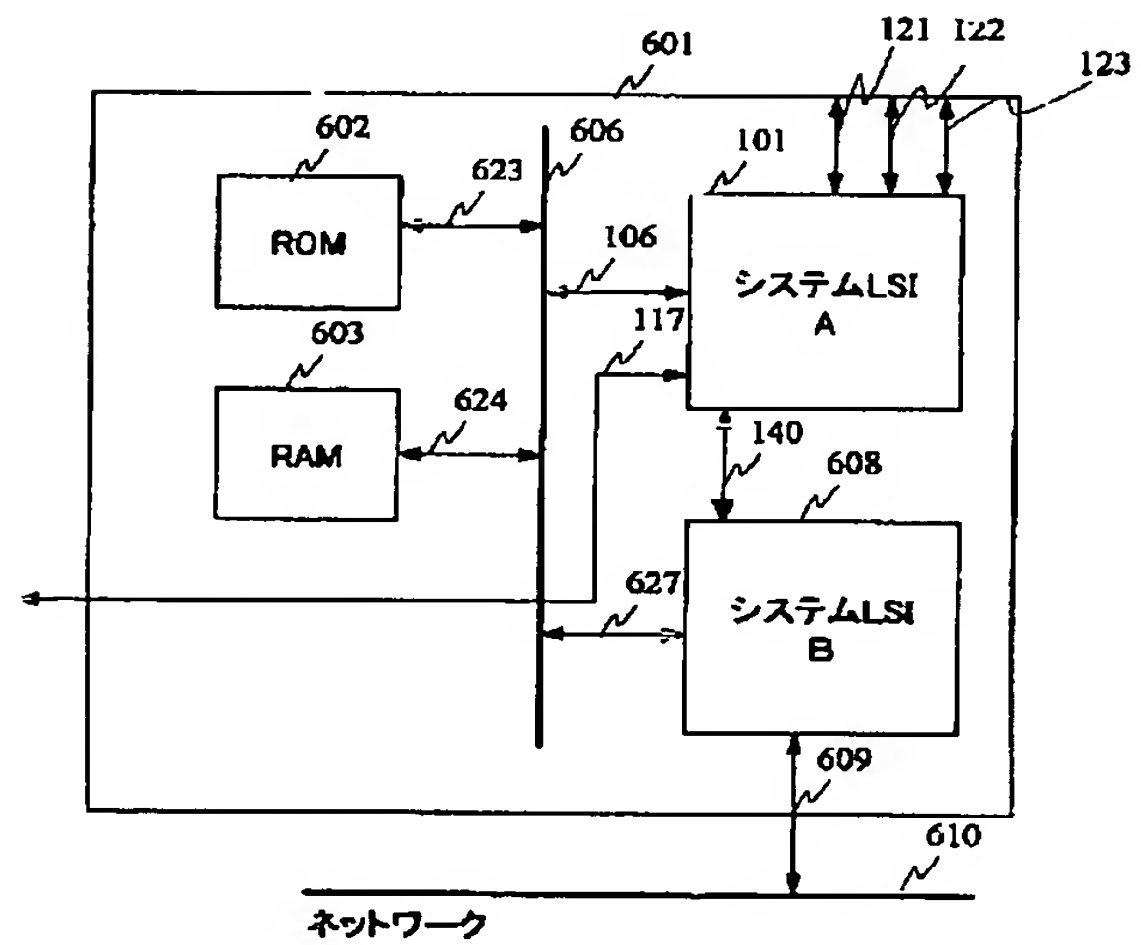
【図5】

图5

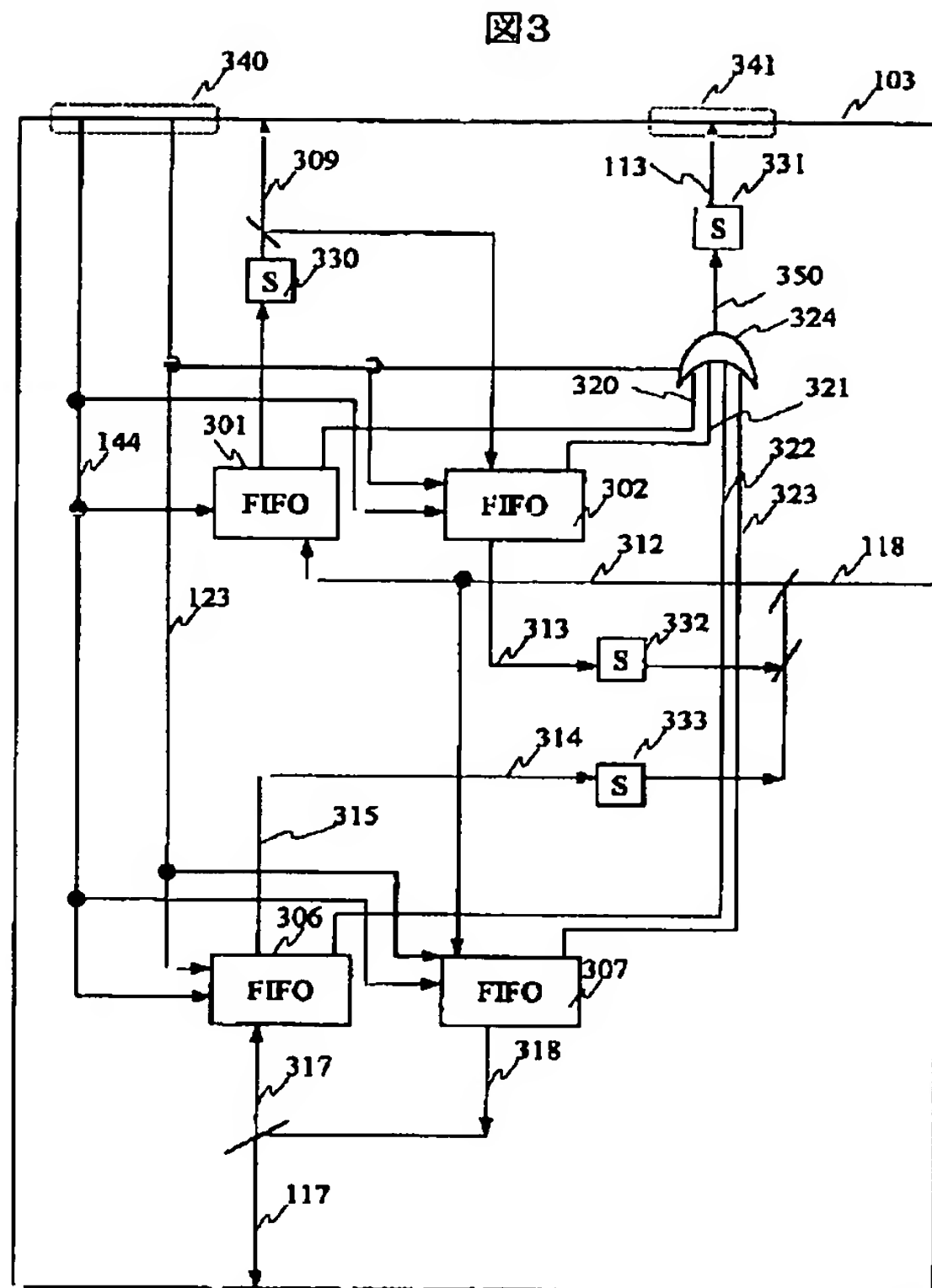


【図6】

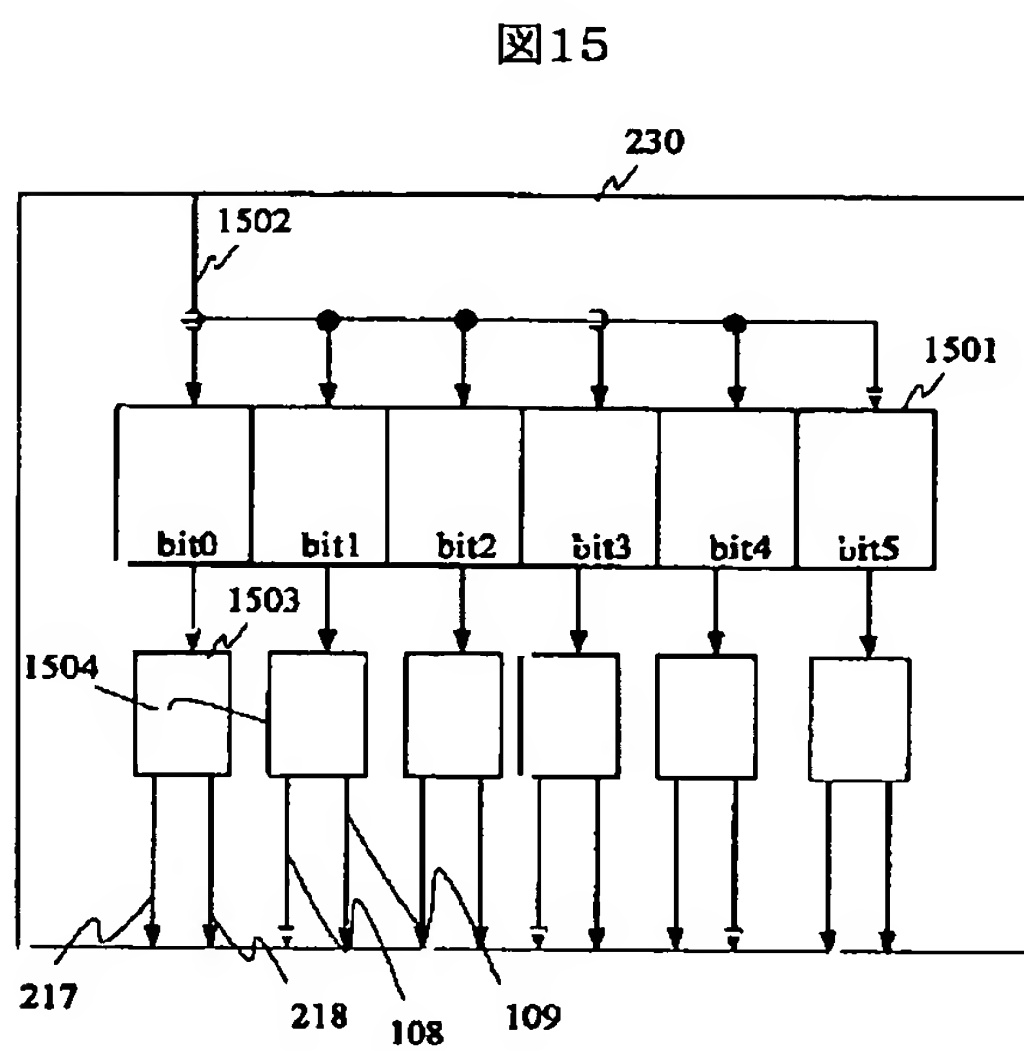
图6



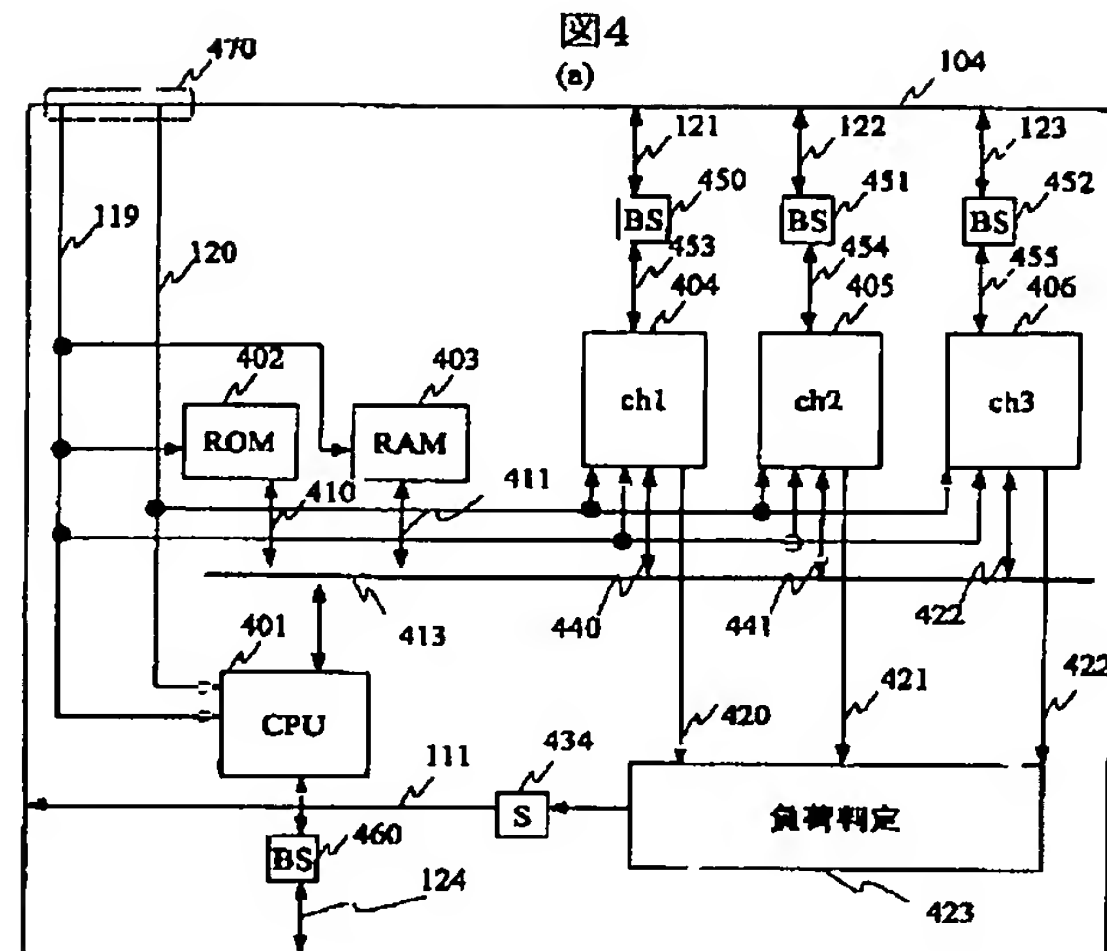
【図3】



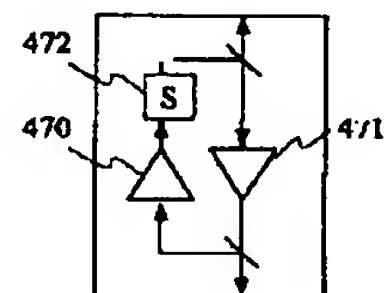
【図15】



【図4】

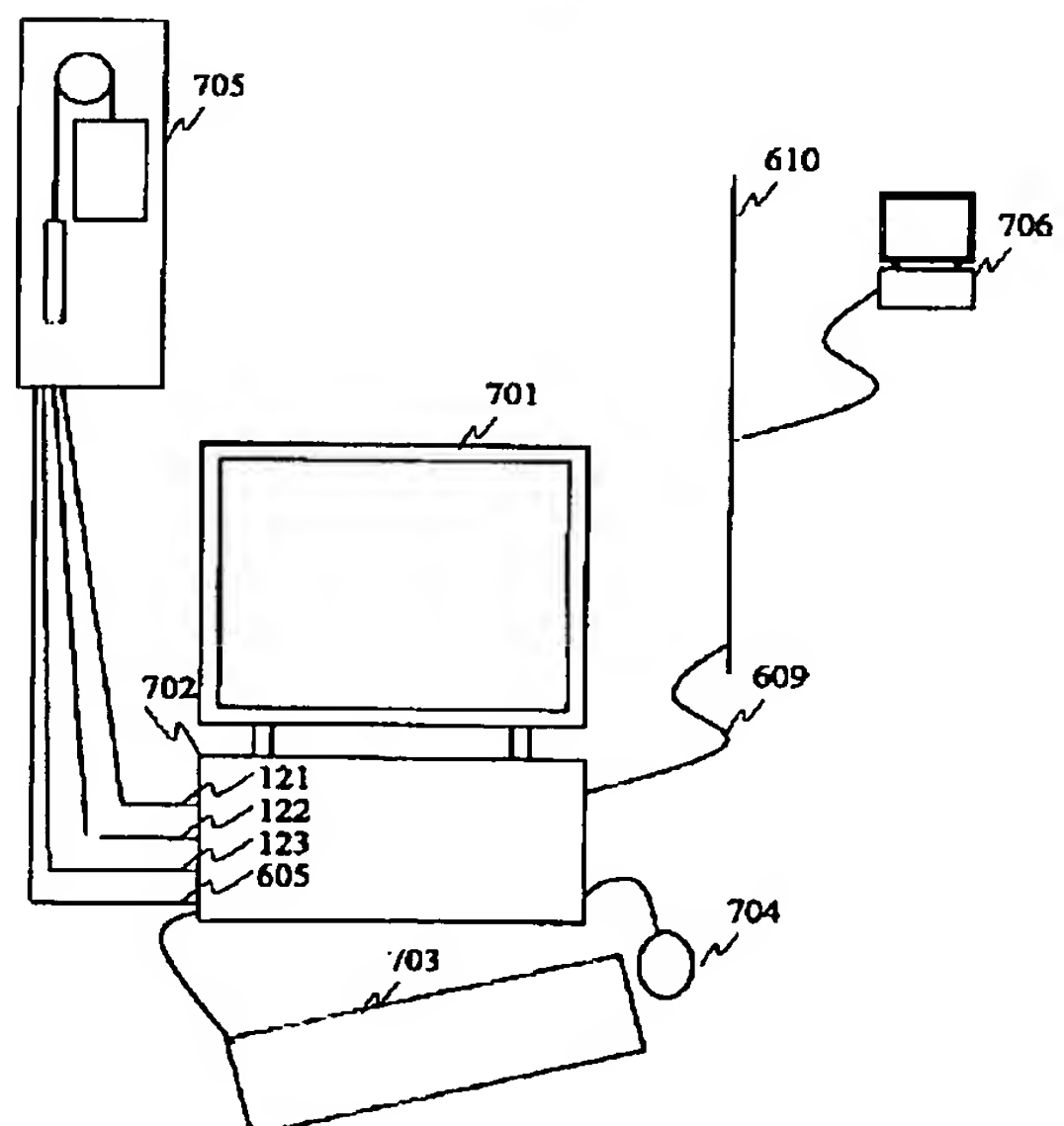


(b)

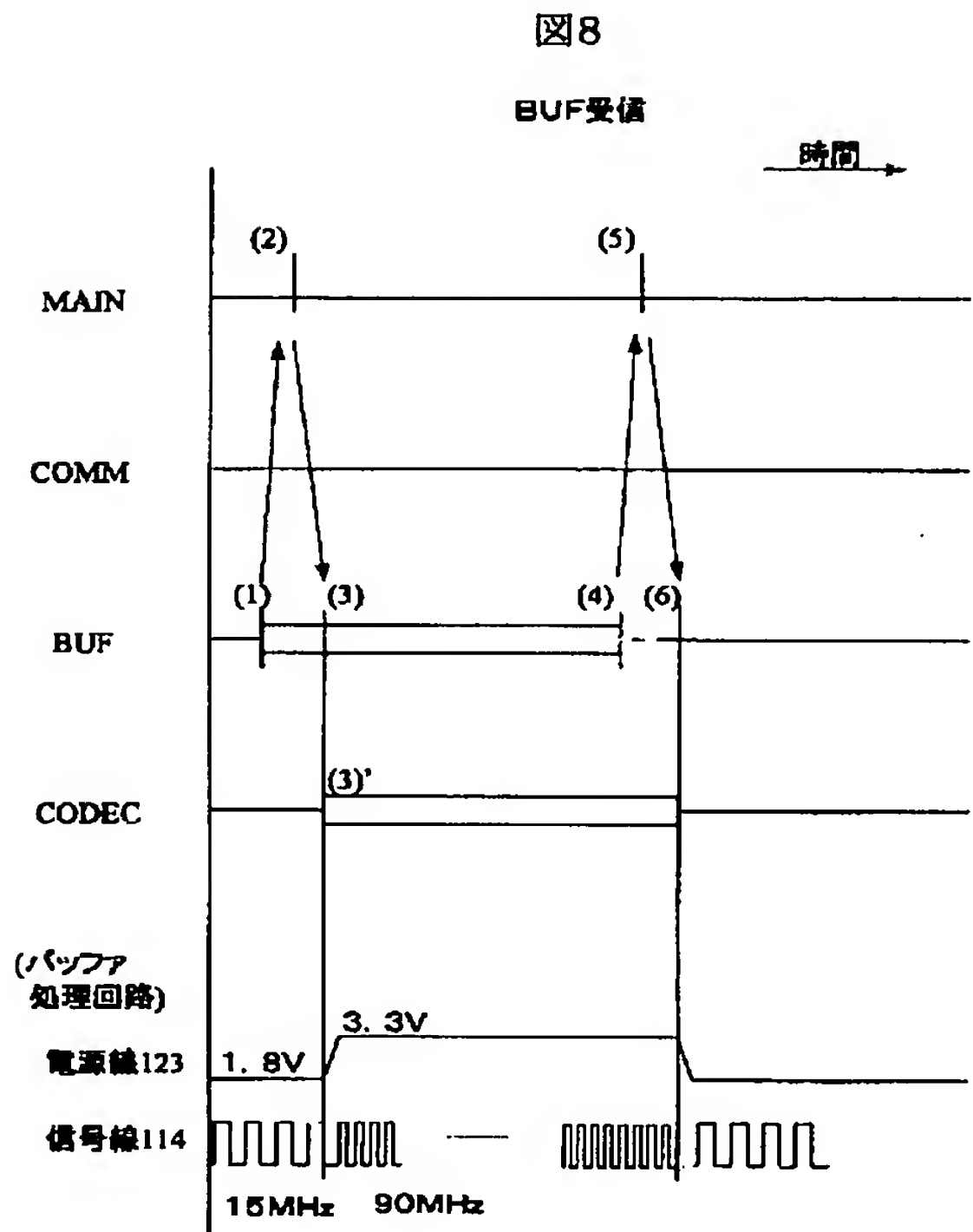


【図7】

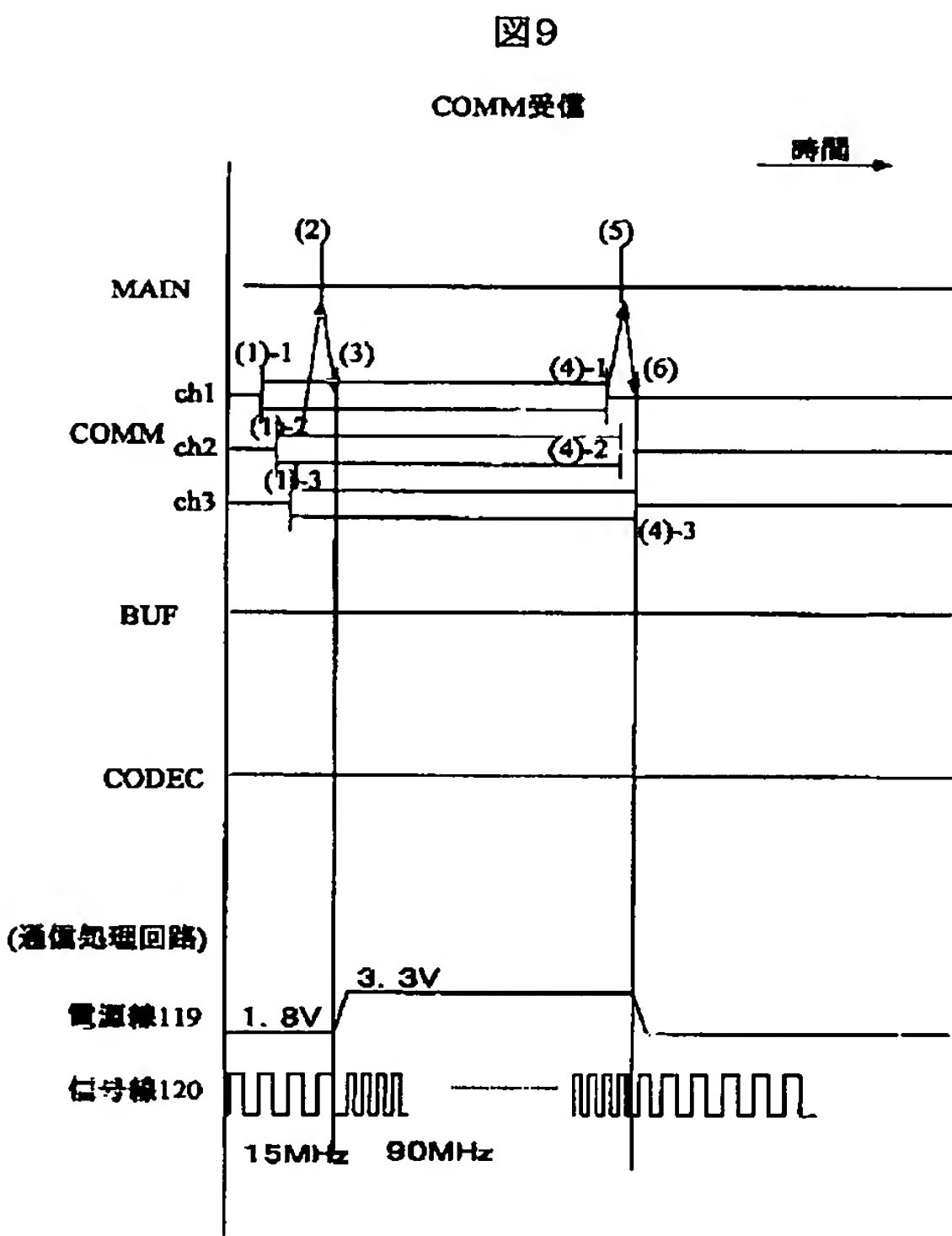
図7



【図8】

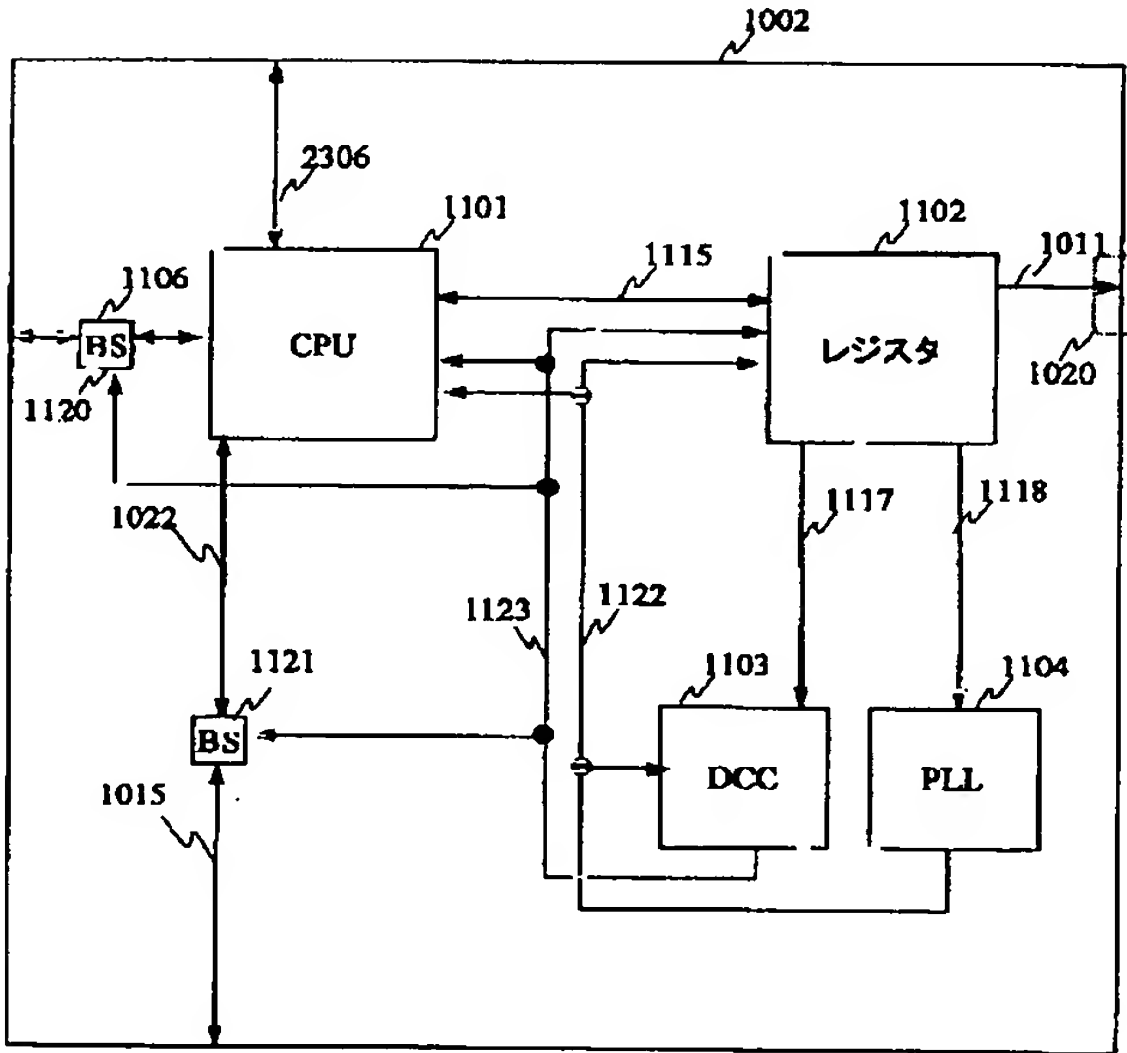


【図9】



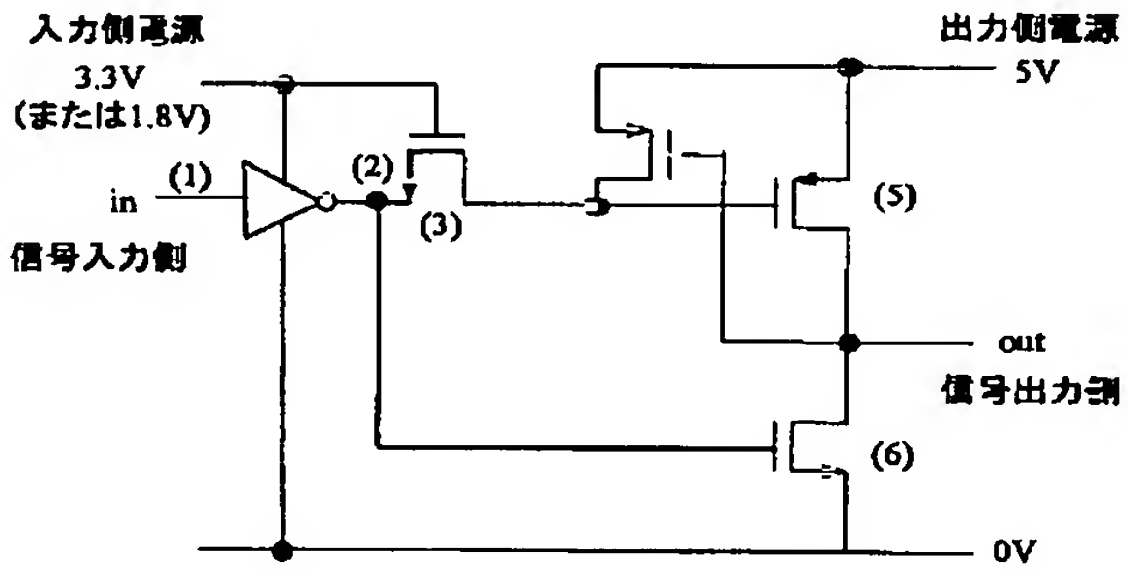
【図11】

図11



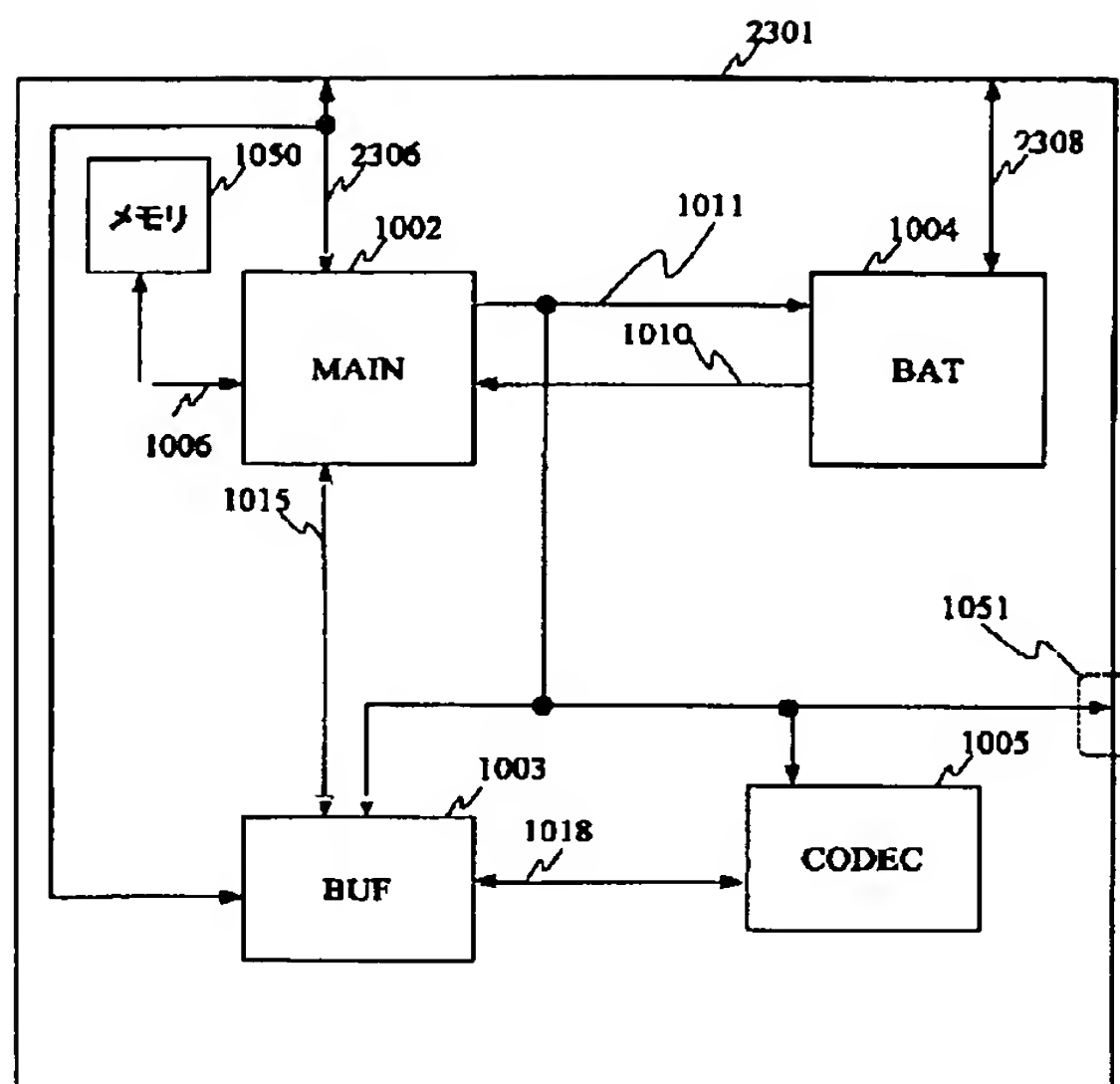
【図17】

図17



【図10】

図10



【図12】


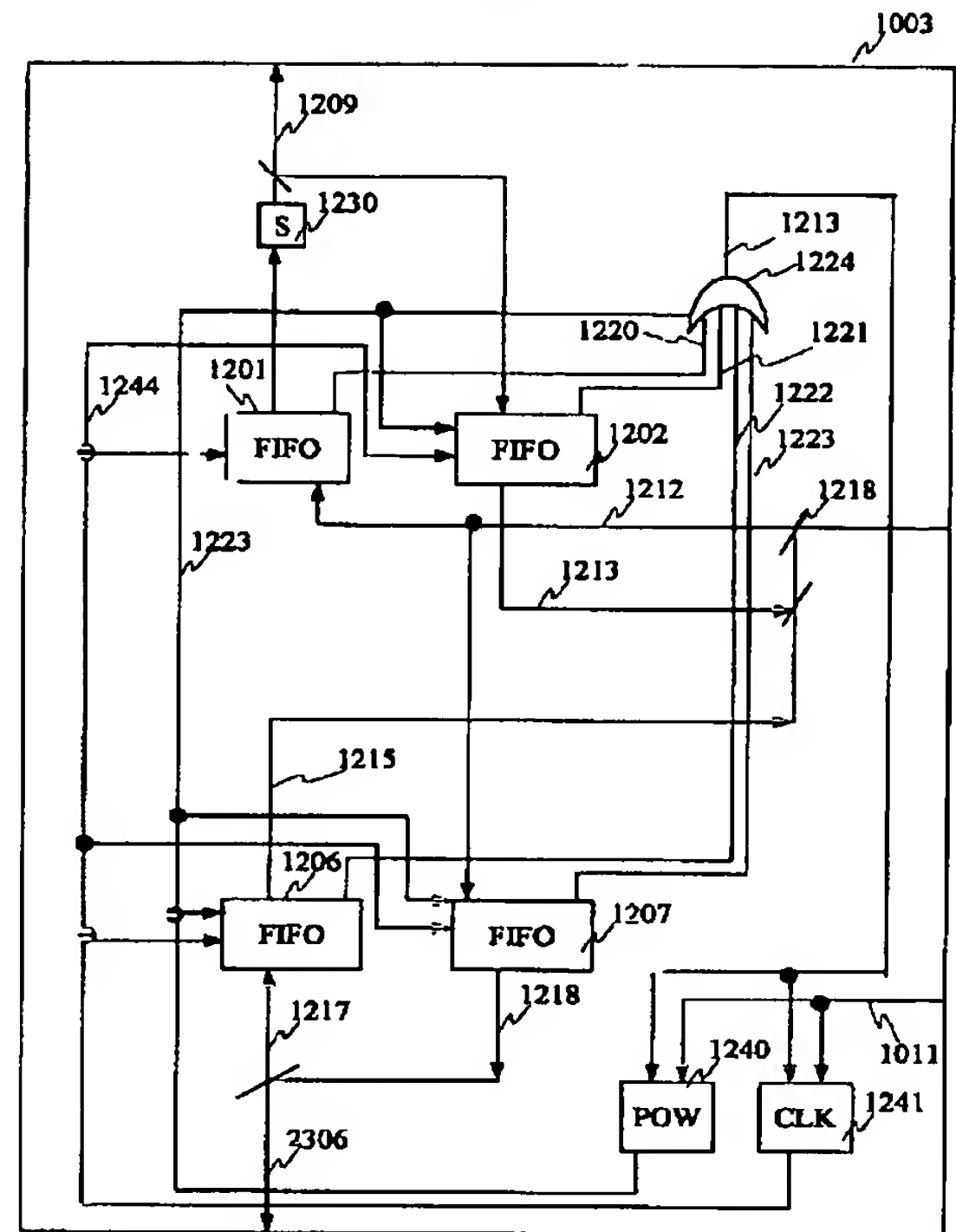
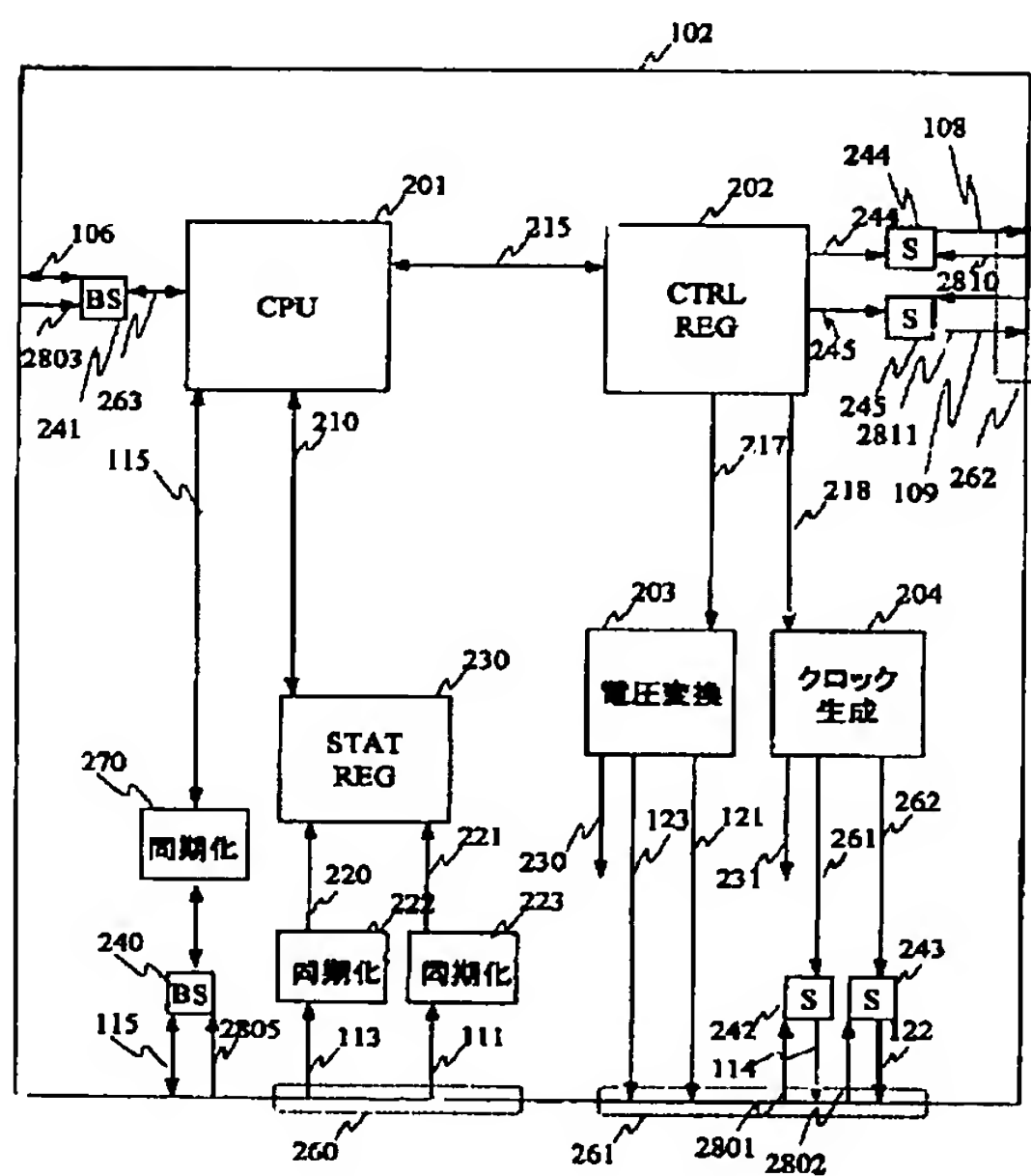


Fig. 1.2



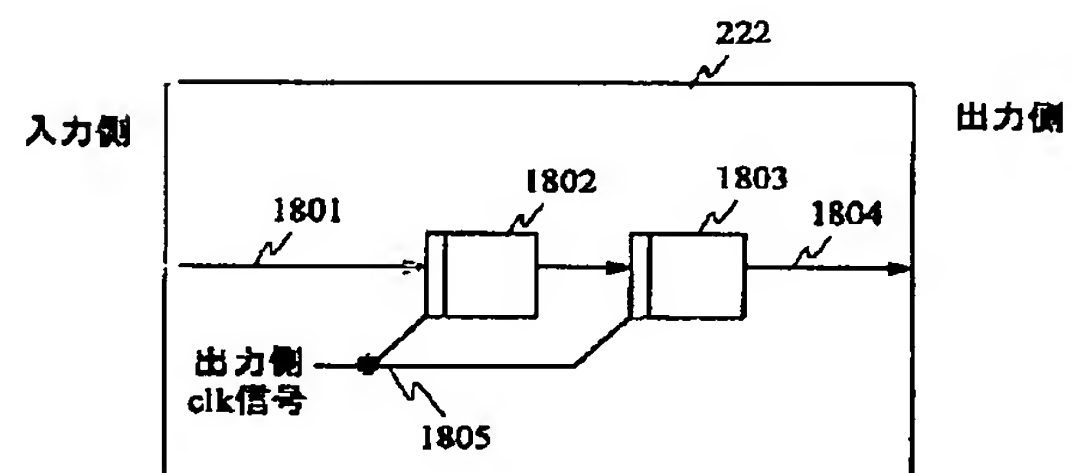
【図16】

图16

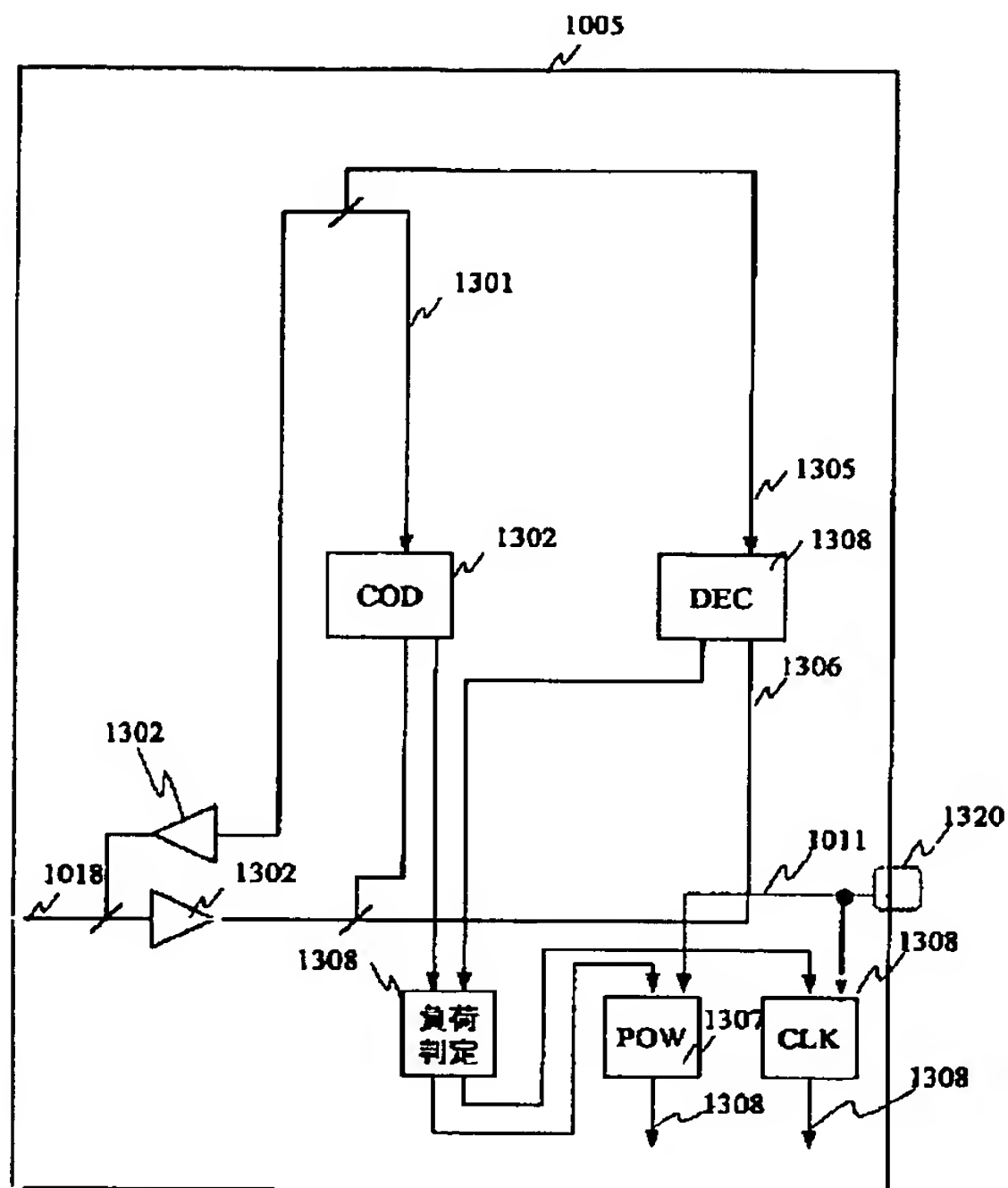


【図18】

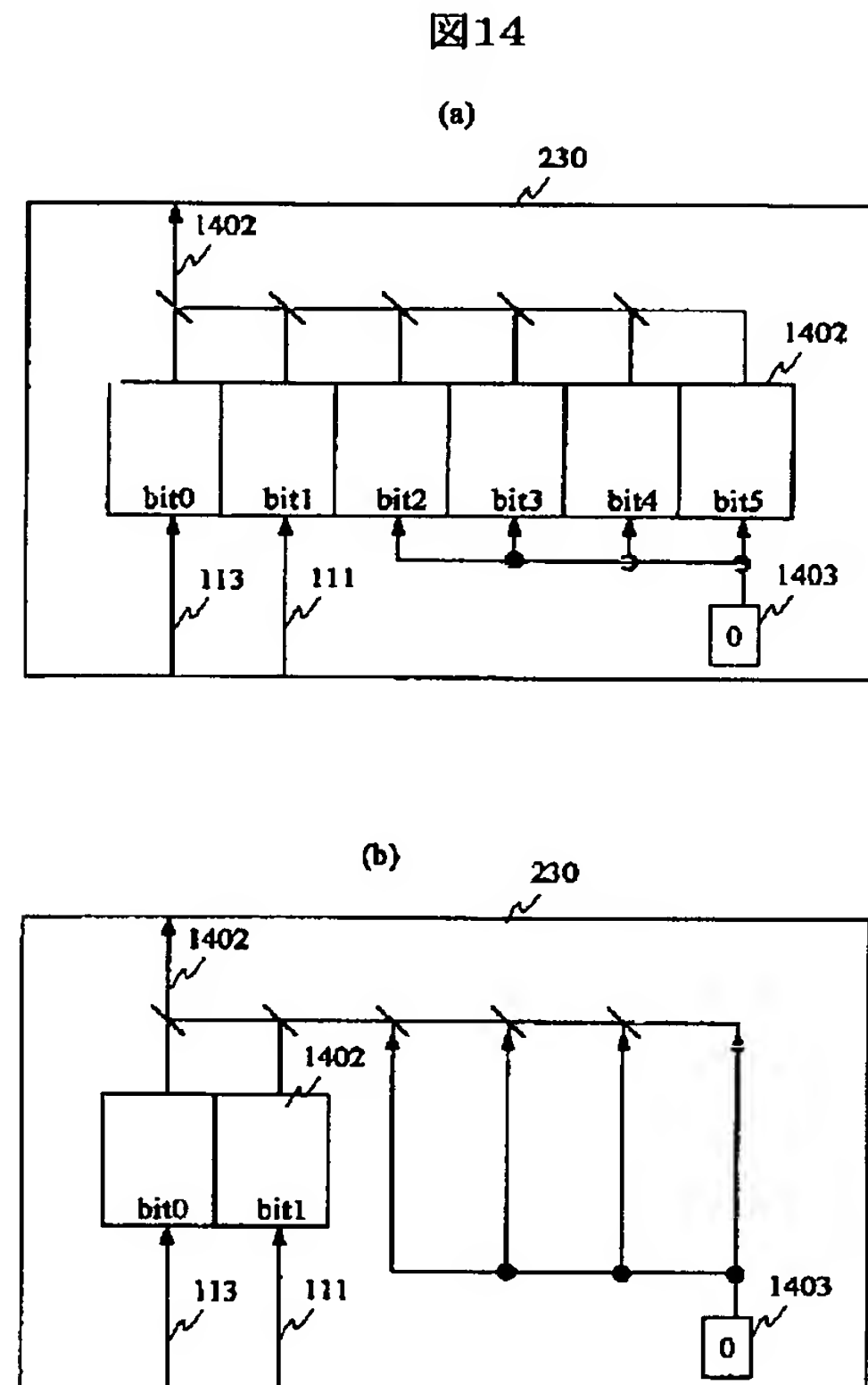
Figure 18 is a line graph with the x-axis labeled 'Number of people' and the y-axis labeled 'Number of people who are not in the same group'. The x-axis ranges from 0 to 10 with major ticks every 2 units. The y-axis ranges from 0 to 10 with major ticks every 2 units. A straight line is plotted starting at the origin (0,0) and extending to the point (10,10). The line represents the equation $y = x$.



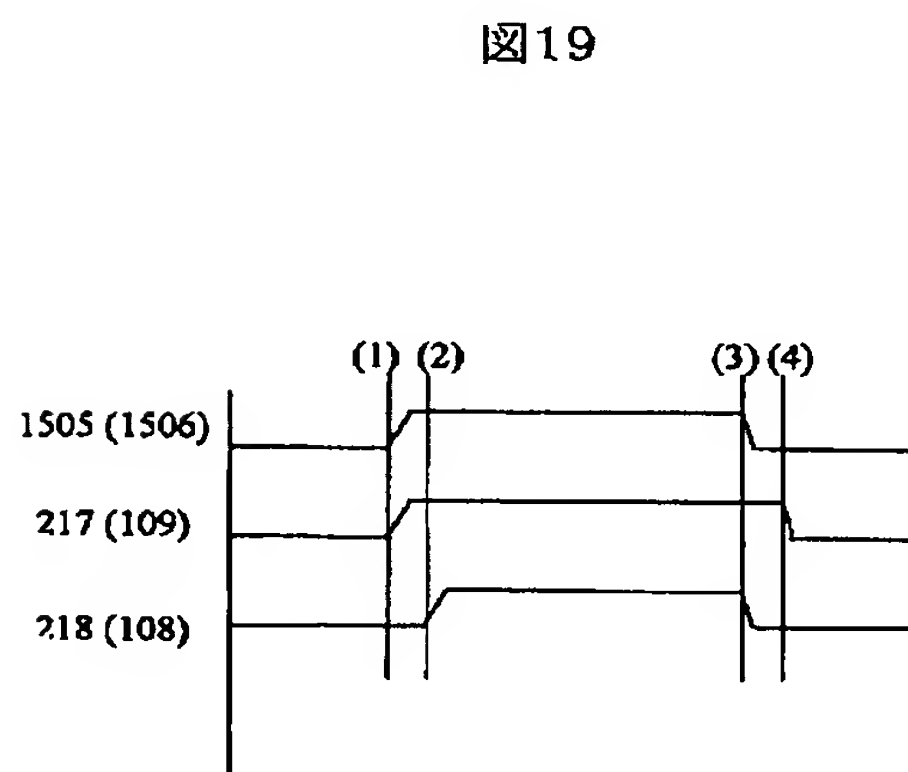
【図 13】



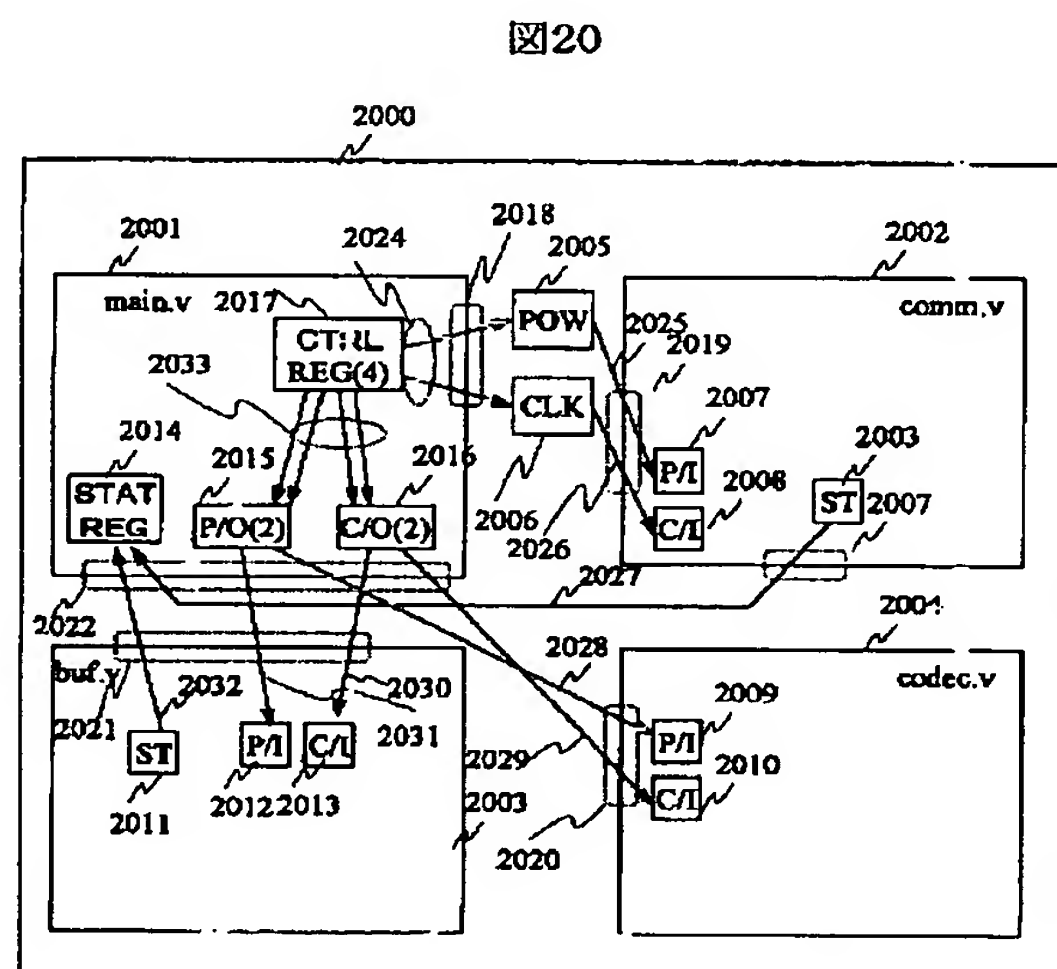
【図 14】



【図19】



【図20】



【図21】

図21

(a)

```
1: module main(sig106, ...,
2: // for power control interface
3:     sig113, sig111,
4:     sig123, sig121,
5:     sig114, sig122,
6:     sig108, sig109)
7: inout sig 106, ...;
8: input sig113, sig111, ...;
9: output sig114, sig122, sig123, sig121, ...;
10: endmodule
```

回路記述

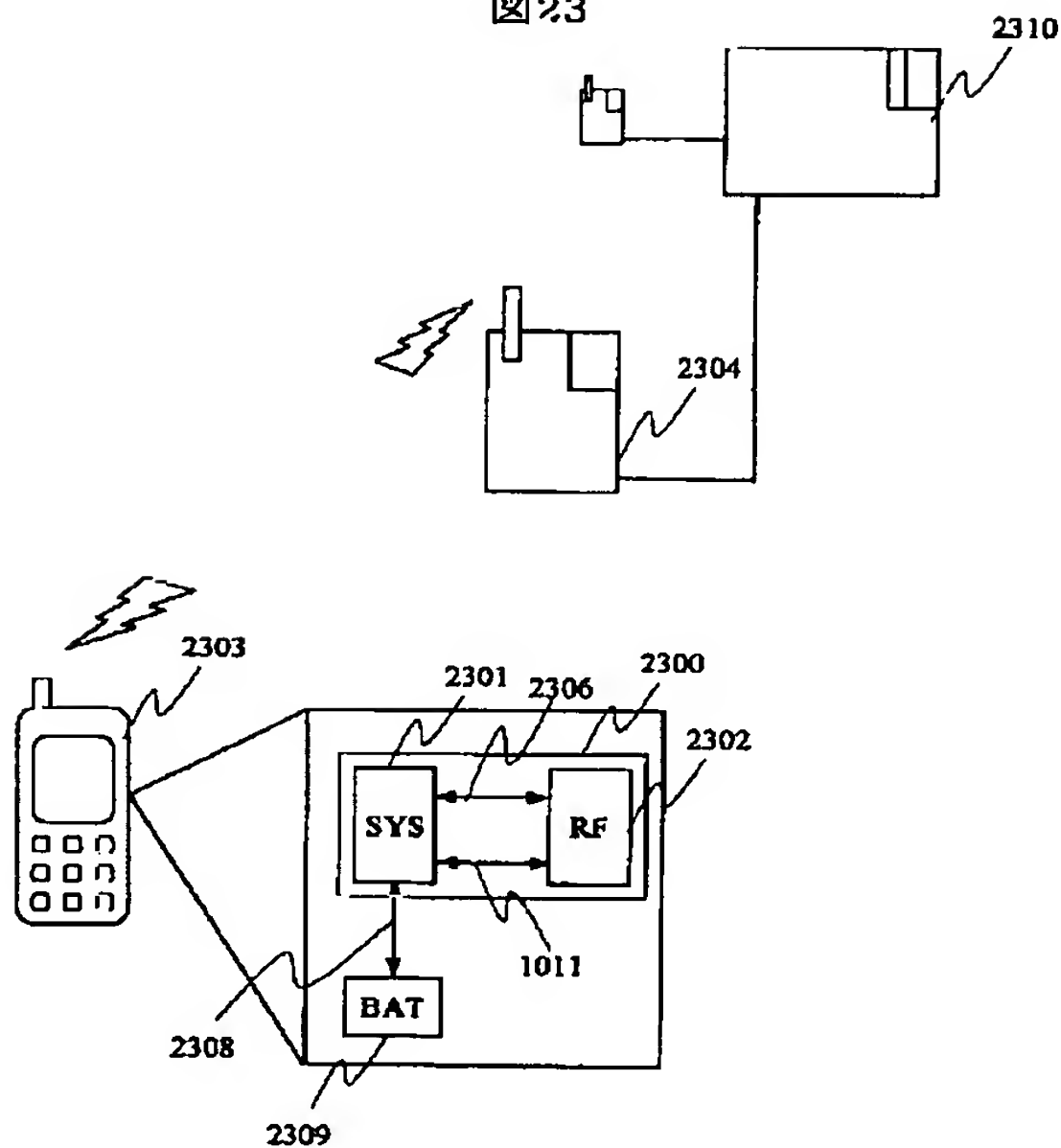
(b)

```
1: module main(sig117, sig118,
2: // for power control interface
3:     sig133, sig123,
4:     sig113, sig118)
5: inout sig 106, ...;
6: input sig113, sig111, ...;
7: output sig114, sig122, sig123, sig121, ...;
8: endmodule
```

回路記述

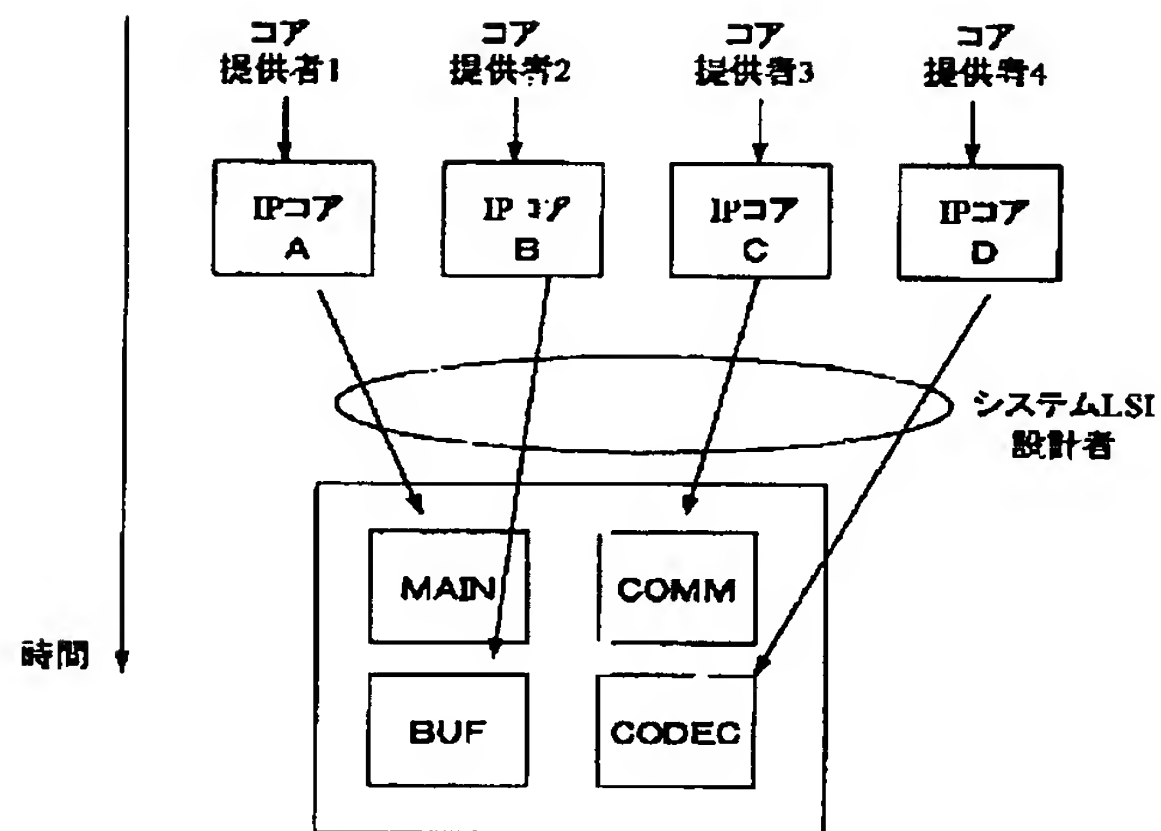
【図23】

図23



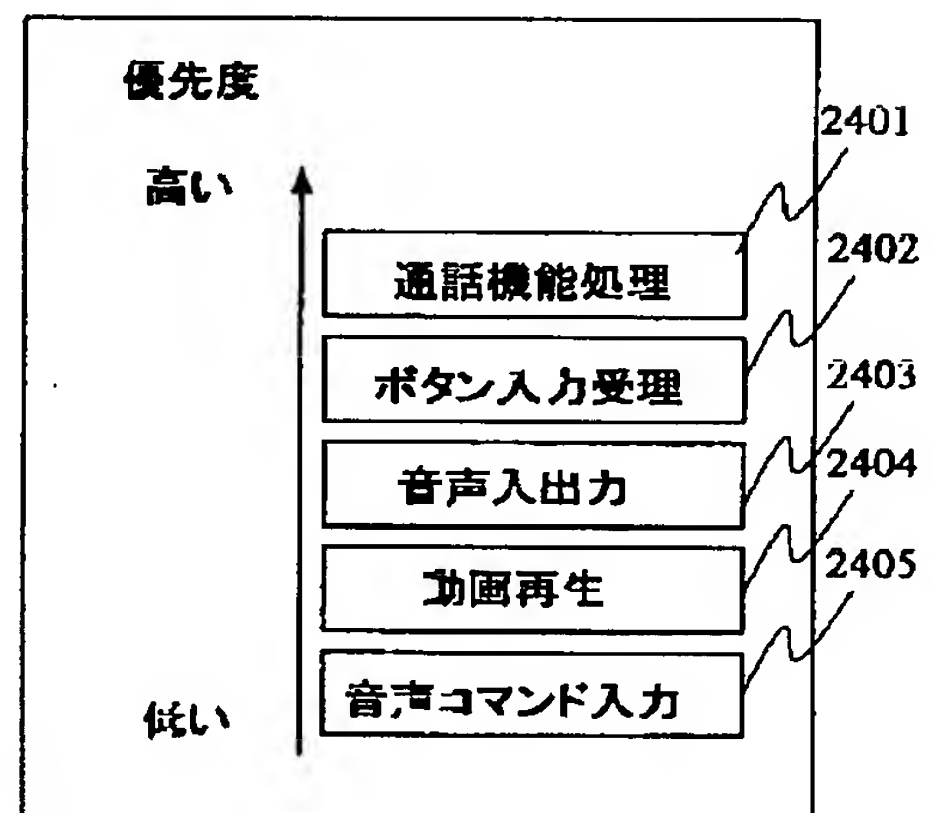
【図22】

図22



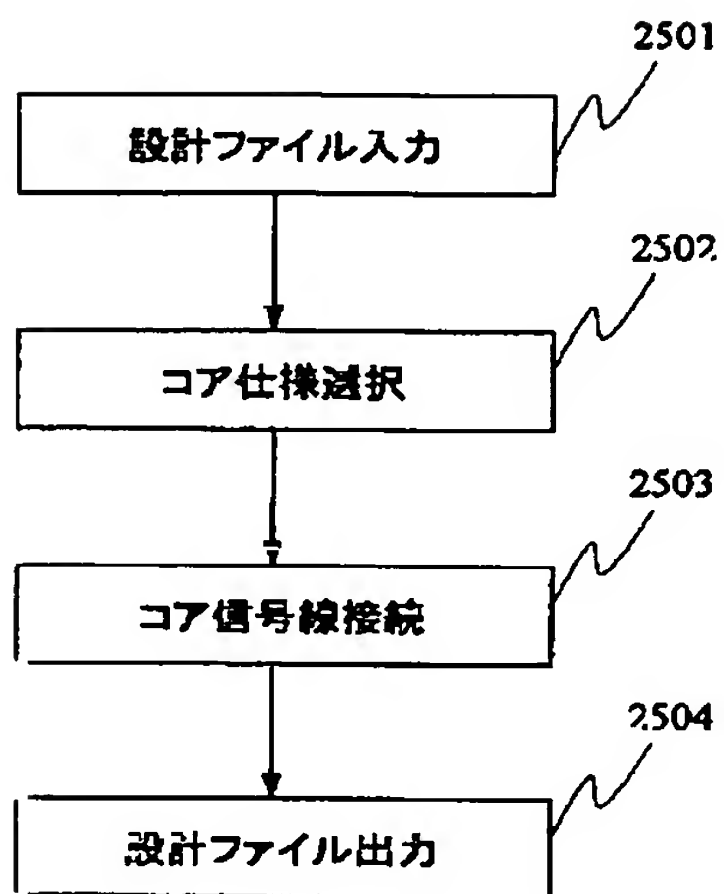
【図24】

図24



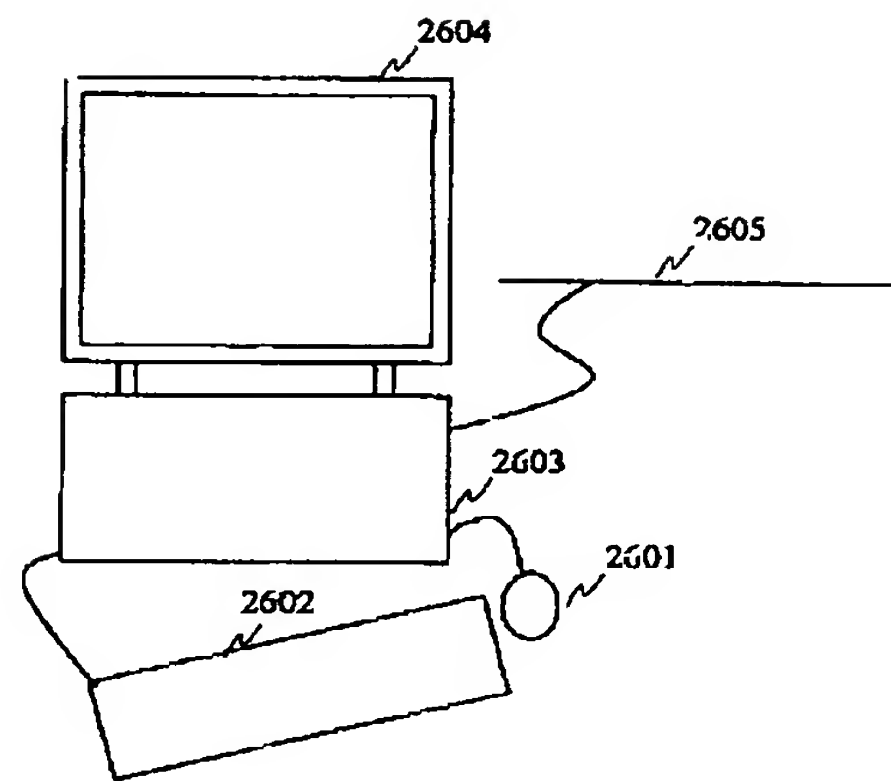
【図25】

図25



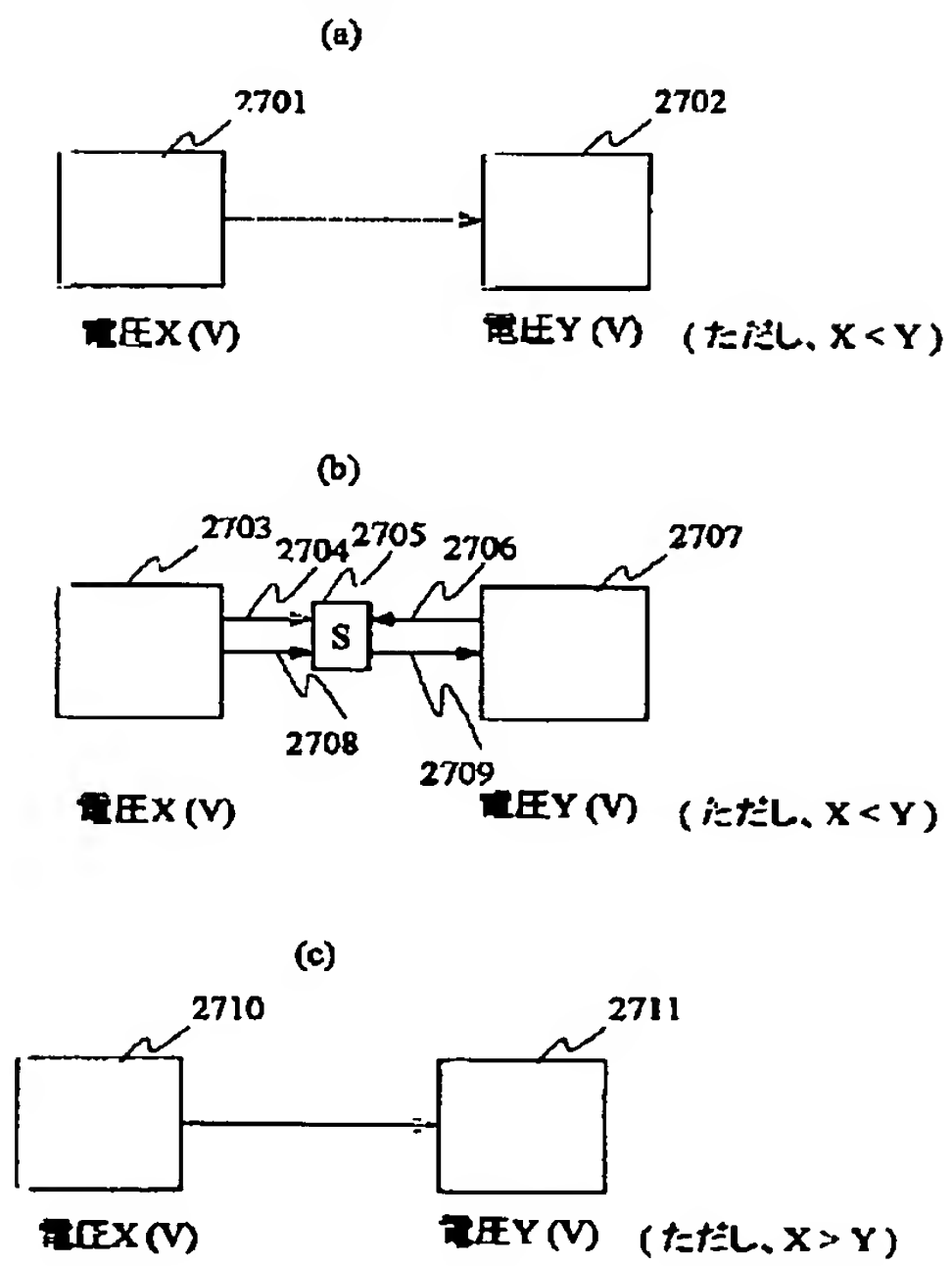
【図26】

図26



【図27】

図27



フロントページの続き

(72)発明者 納谷 英光
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 菊地 睦
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(72)発明者 堀田 多加志
茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

Fターム(参考) 5B011 EA08 LL13